



PTO/SB/02B (08-03)

Approved for use through 08/31/2003. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

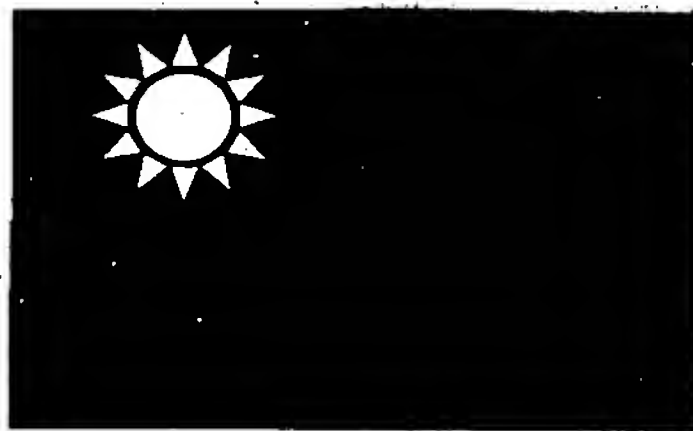
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION – Supplemental Priority Data Sheet

Foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092137231	Taiwan R.O.C.	12/26/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

This collection of information is required by 35 U.S.C. 115 and 37 CFR 1.63. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 21 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereun

申請日：西元 2003 年 12 月 26 日
Application Date

申請案號：092137231
Application No.

申請人：鴻揚光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 8 月 日
Issue Date

發文字號：0932074900
Serial No.

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

申請日期：	IPC分類
申請案號：9213723	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	具散亂反射效果之儲存電容及其製程
	英文	
二、發明人 (共1人)	姓名 (中文)	1. 徐 宏 輝
	姓名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹東鎮中興路四段195號52館407室
	住居所 (英 文)	1.
三、申請人 (共1人)	名稱或姓名 (中文)	1. 鴻揚光電股份有限公司
	名稱或姓名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣竹東鎮中興路四段195號52館407室 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 劉 鴻 達
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：具散亂反射效果之儲存電容及其製程)

本發明係提供一種具散亂反射效果之儲存電容，置設於一基板上而用於薄膜電晶體陣列迴路中，其主要特徵為：於該儲存電容之電極所在面域上，佈設由一介質層與一保護層相疊積衍化而成之一糙面層，並搭配一層佈設於該糙面層上方之高反射率材料，讓該儲存電容可對外界光照呈現出散亂反射效果。以及進一步，提供一種儲存電容製程，該製程係搭配兩道微影程序即完成前述具散亂反射效果之儲存電容。

五、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：具散亂反射效果之儲存電容及其製程)

五、(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明：

1 具散亂反射效果之儲存電容	20 基板
201 基板平面	21 導體層
	22 介質層
23 第一電極	24 介質層島狀結構
25 島狀疊層	26 保護層
	27 糙面層
28 反射層	29 第二電極

五、英文發明摘要 (發明名稱：)



六、指定代表圖



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

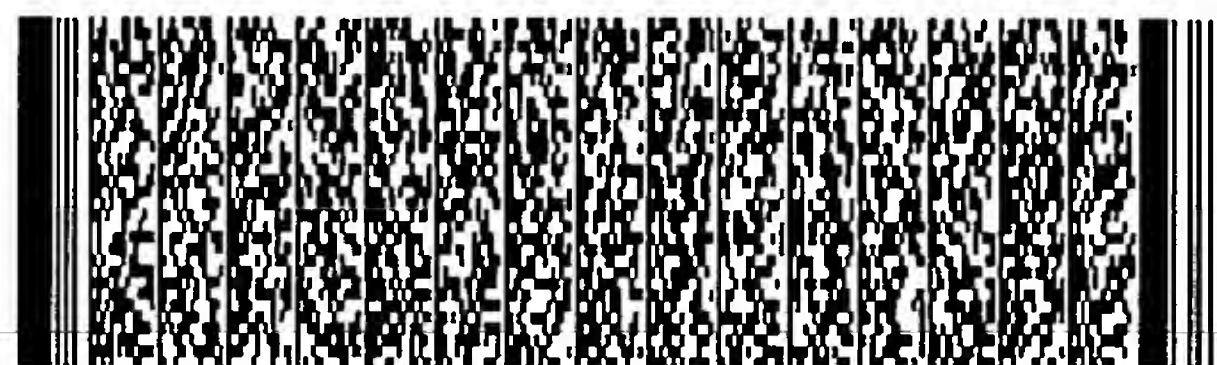
【發明所屬之技術領域】

本發明係與液晶顯示裝置有關，特別係指一種適用於薄膜電晶體陣列迴路之儲存電容及其製程。

【先前技術】

液晶顯示裝置 (Liquid Crystal Display, LCD) 因為具有高解析度、可輕薄短小化、低電壓及低耗電驅動之特性，而有逐步取代弧面式陰極射線映像管 (Cathode Ray Tube) 顯示裝置之趨勢。為使液晶顯示裝置在夜間或微光中亦能清晰可視，早期液晶顯示裝置採用皆穿透式 (Transmissive Type) 液晶面板，而該液晶面板通常需搭配一面光源；爾後為求減輕顯示裝置之重量，液晶面板續發展出不需配置面光源而可利用外界自然光或環境光作為入射光源之反射式 (Reflective Type) 液晶面板。

就習知技術而言，若欲使穿透式液晶面板能對外界光照額外提供散亂反射功能，除將該穿透式液晶面板內加設一反射層以改成所謂反射式 (Reflective Type) 或者是半穿透式 (Transflective Type) 液晶面板之方式外，往往係以採取犧牲液晶面板之畫素開口率之方式，其做法係先對畫素電極之平坦頂面進行一微影製程，並蝕刻出概呈齒狀或是柱狀之微小突痕，接著透過一道加熱程序來調合前述突痕而使其呈現出微起伏狀，然後一層高反射率材料鋪設於上述進行粗



五、發明說明 (2)

糙化後之表面上方，最後再實施一道以上之微影製程，使該高反射率材料層在畫素電極之部份區域上形成具散亂反射效果之反射面。該做法多增加了數道微影製程，而增加微影製程不僅提高產品製作成本，更會降低整體製程之產能。

【發明內容】

本發明之主要目的在於提供一種儲存電容，可用於液晶面板而對外界光照呈現出散亂反射功效者。

本發明之次要目的在於提供一種儲存電容製程，能以搭配兩道微影程序而完成前述儲存電容者。

緣此，為達成上述目的，本發明所提供之儲存電容及其製程，該儲存電容係用於薄膜電晶體陣列迴路中，其主要特徵為：於該儲存電容之電極所在區域上佈設一糙面層，該糙面層係由氧化物導體所製之一介質層及矽化物絕緣體所製之一保護層相疊積衍化而成，並於該糙面層上方佈設一高反射率材料所製之反射層，而該反射層可直接以該儲存電容之一具高反射率電極取代或者是包含於該儲存電容之一電極中。而前述儲存電容之製程其主要特徵在於，該儲存電容之二電極係各搭配一道微影程序成形，除該保護層沉積於該二電極之間充為介電層時無須透過微影蝕刻程序之外，該介質層、該保護層及該反射層皆於進行沉積程序後，各藉由所鄰接電極之微影蝕刻程序蝕刻



五、發明說明 (3)

成形。

【實施方式】

欲使一穿透式或是半穿透式液晶面板，在不縮減其畫素原開口率之條件下，能對外界光照額外提供散亂反射之功效，就一薄膜電晶體 (Thin Film Transistor) 液晶面板而言，該液晶面板可藉由其薄膜電晶體陣列迴路所佔有之區域，如第一圖中所示，特別是儲存電容 (A) 所在區域上多配設一呈凹凸交雜狀之高反射率粗糙表面便可達成作用 (而第一圖中，(B) 係畫素電極，(C) 係薄膜電晶體)。換言之，先製出一粗糙化表面於前述儲存電容所在區域中，然後將高反射率材料沉積於該粗糙表面上，就能使該粗糙表面上之高反射率材料層，對外界光照能產生散亂反射之功效。

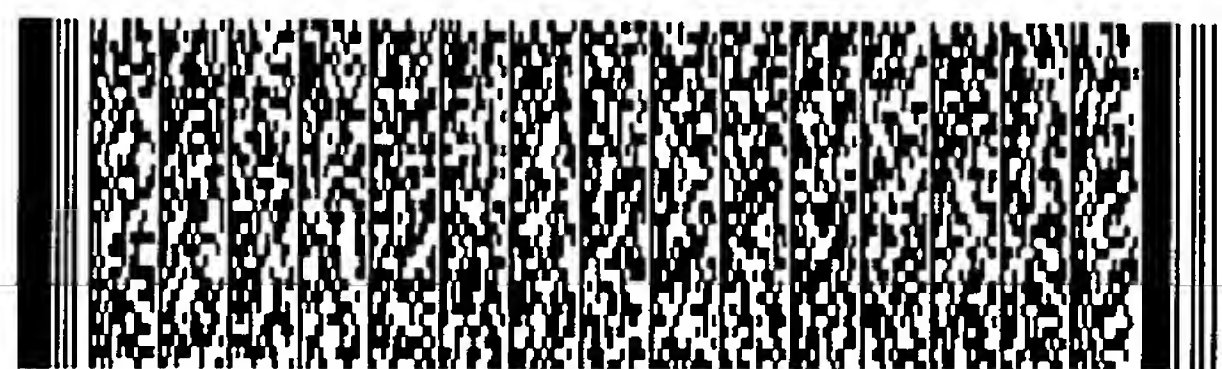
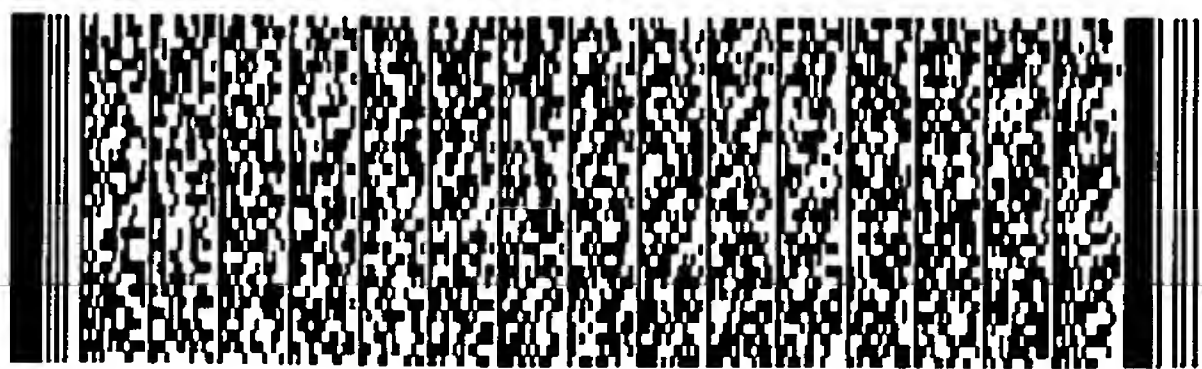
一般，薄膜電晶體陣列迴路之儲存電容在結構上係包括一第一電極、一介電層及一第二電極。該第一電極及第二電極主體通常由低電阻值之導體如鉻、銅、鋁、鈦、鉬及鉭等或是其相關合金，甚至於銦氧化物、錫氧化物、鋅氧化物、鉛氧化物、銦錫氧化物或銦鋅氧化物等透光導電材料，以氣相沉積 (Vapor deposition) 形成一導體 (或是導電) 層或多層導體 (或是導電) 層結構，然後再搭配一道光罩微影 (Photolithography) 及蝕刻 (Etch) 程序所產生，其



五、發明說明 (4)

中，氣相沉積方式包含物理氣相沉積 (Physical Vapor deposition, PVD) 如蒸鍍 (Evaporation) 與濺鍍 (Sputtering) 等，及化學氣相沉積 (Chemical Vapor deposition, CVD) 如常壓化學氣相沉積 (Atmospheric Pressure CVD)、低壓化學氣相沉積 (Low Pressure CVD) 及電漿強化化學氣相沉積 (Plasma Enhanced CVD) 等，而微影包括光阻塗佈、曝光、顯像及光阻剝離等程序，蝕刻則包含乾式蝕刻 (Dry Etch) 及濕式蝕刻 (Wet Etch) 等。該介電層一般則由氮化矽、氧化矽等絕緣材料以化學氣相沉積法所直接形成。

本發明中係藉由一介質層及一保護層所構成之糙面層來達成前述之粗糙表面，其中，該介質層可由銦氧化物、錫氧化物、鋅氧化物、鉛氧化物、銦錫氧化物或銦鋅氧化物等以氣相沉積所形成，而該保護層可由氮化矽、氧化矽或是氮氧化矽以化學氣相沉積所形成。然而，只要該介質層與保護層相疊積，即會使後來疊積之介層在該二介層間之界面上產生粗糙化，而進一步讓該介質層與保護層疊積後所形成之糙面層頂面亦呈現出粗糙化，產生出總高約 $0.1 \sim 1.5 \mu\text{m}$ 且各寬約 $0.3 \sim 1.5 \mu\text{m}$ 之凹凸交雜分佈，亦即，無論是將該介質層形成於該保護層上，或是將該保護層形成於該介質層上，前述二方式皆可使所得之糙面層頂面呈現粗糙化現象。尤其係當分別採用銦錫氧化物、氮化矽作為該介質層及保護層材料時，該糙面層頂面粗糙化



五、發明說明 (5)

之效果最為顯著。

本發明中形成高反射率材料層之材料，可視其產品需求而選用銀、鋁等金屬材料或是氧化鎂、氧化鈦等非金屬材料。

為使本發明之技術特徵能得到較深刻之瞭解與認同，茲列舉本發明之較佳實施例，並配以圖式詳述說明於後：

第一圖係薄膜電晶體迴路陣列之結構圖；

第二至九圖係各為本發明第一至八較佳實施例之施行步驟圖。其中，各較佳實施例之圖示皆係以垂直第一圖圖面方向顯示。

請參閱第二圖係本發明第一較佳實施例，提供一具散亂反射效果之儲存電容(1)製程，首先，參閱第二圖A，取一基板(20)並於其一平面(201)上依序沉積一導體層(21)及一介質層(22)；接著，參閱第二圖B，經微影再一併蝕刻以形成一呈島狀且具有一第一電極(23)及該介質層(24)之疊層結構(25)，其中，該導體層(21)構成該第一電極(23)，該導體層(21)材質係導電材料：銅；然後，參閱第二圖C，沉積一保護層(26)覆蓋於前述疊層結構(25)上，該介質層(24)與該保護層(26)材質分別為銻錫氧化物、氮化矽，該介質層(24)與該保護層(26)相疊積後，即衍化成一表面粗糙化之糙面層(27)；最後，參閱第二圖D，沉積一反射層(28)於該保護層(26)上，進行微影蝕刻於該第



五、發明說明 (6)

一電極(23)區域上方形成一第二電極(29)，其中，該反射層(28)材質係高反射率導電材料：銀，致使該第二電極(29)會對外界光照呈現散亂反射作用。藉上述製程，該第一電極(23)、由該介質層(24)與該保護層(26)所構成之糙面層(27)及該第二電極(29)係依序由下而上疊置於該基板(20)上構成該儲存電容(1)。

就技術特徵而言，只要在該第二電極(29)之反射層(28)還能提供散亂反射之範圍內，該保護層(26)與該第二電極(29)之間係可容設多層介電材料，同時，第一、第二電極(23)(29)在構成上亦可採用多層之不同導體材料分別與該導體層(21)、該反射層(28)結合。

請參閱第三圖係本發明第二較佳實施例，提供一具散亂反射效果之儲存電容(2)製程，首先，參閱第三圖A，取一基板(30)並於其一平面上(301)沉積一導體層(31)後，參閱第三圖B，進行微影蝕刻形成一第一電極(32)，其中，該導體層(31)材質係導電材料：鈦；接著，參閱第三圖C，沉積一保護層(33)覆蓋於前述結構上，其中，該保護層(33)材質係氮氧化矽；最後，參閱第三圖D，依序沉積一介質層(34)及一反射層(35)於該保護層(33)上，進行微影再一併蝕刻於該第一電極(32)區域上方形成一呈島狀且具有該介質層(34)及一第二電極(36)之疊層結構(37)，其中，該反射層(35)構成該第二電極(36)，該反射層(35)材質



五、發明說明 (7)

係高反射率導電材料：鋁，該介質層(34)材質係銦氧化物，而該介質層(34)與該保護層(33)相疊積後，即衍化成一表面粗糙化之糙面層(38)，致使該第二電極(35)會對外界光照呈現散亂反射作用。藉上述製程，該第一電極(32)、由該保護層(33)與該介質層(34)所構成之糙面層(38)及該第二電極(36)係依序由下而上疊置於該基板(30)上構成該儲存電容(2)。

如同前一實施例所述，第一、第二電極(32)(36)在構成上可採用多層之不同導體材料分別與該導體層(31)、該反射層(35)結合。另外，倘若對本實施例中，該保護層(33)與該第一電極(32)間再置設多層介電材料，該第二電極(35)仍可對外界光照呈現散亂反射作用。

請參閱第四圖係本發明第三較佳實施例，提供一具散亂反射效果之儲存電容(3)製程，首先，參閱第四圖A，取一基板(40)並於其一平面(401)上依序沉積一導體層(41)及一介質層(42)，其中，該導體層(41)材質係導電材料：鉻，該介質層(42)材質係銦鋅氧化物；接著，參閱第四圖B，經微影再一併蝕刻以形成一呈島狀且具有一第一電極(43)及該介質層(44)之疊層結構(45)，其中，該導體層(41)構成該第一電極(43)；然後，參閱第四圖C，沉積一保護層(46)覆蓋於前述疊層結構上，該保護層(46)材質係氧化矽，該介質層(44)與該保護層(46)相疊積後，即衍化成一表



五、發明說明 (8)

面粗糙化之糙面層 (47)；最後，參閱第四圖 D，依序沉積一導電層 (48)及一反射層 (49)於該保護層 (46)上，進行微影再一併蝕刻於該第一電極 (43)區域上方形成一呈島狀疊層結構之第二電極 (4A)，其中，該導電層 (48)材質係導電材料：鉻，該反射層 (47)材質係高反射率材料：氧化鎂，致使該反射層 (49)會對外界光照呈現散亂反射作用。藉上述製程，該第一電極 (43)、由該介質層 (41)與該保護層 (46)所構成之糙面層 (47)及該第二電極 (4A)係依序由下而上疊置於該基板 (40)上構成該儲存電容 (3)。

如同第一實施例所述，第一、第二電極 (43)(4A)在構成上可採用多層之不同導體材料分別與該導體層 (41)、該導電層 (48)結合。

請參閱第五圖係本發明第四較佳實施例，提供一具散亂反射效果之儲存電容 (4)製程，首先，參閱第五圖 A，取一基板 (50)並於其一平面上 (501)沉積一導體層 (51)後，參閱第三圖 B，進行微影蝕刻形成一第一電極 (52)，其中，該導體層 (51)材質係導電材料：鉬；接著，參閱第五圖 C，沉積一保護層 (53)覆蓋於前述結構上，該保護層 (53)材質係氮化矽；最後，參閱第五圖 D，依序沉積一介質層 (54)、一導電層 (55)及一反射層 (56)於該保護層 (53)上，進行微影再一併蝕刻於該第一電極 (52)區域上方形成一呈島狀且具有該介質層 (54)及一第二電極 (57)之疊層結構 (58)，其



五、發明說明 (9)

中，該介質層(54)材質係鉛氧化物，該導電層(55)材質係導電材料：鉬，該介質層(54)與該保護層(53)相疊積後，即衍化成一表面粗糙化之糙面層(59)，而該反射層(56)材質係高反射率材料：氧化鈦，致使該反射層(56)會對外界光照呈現散亂反射作用。藉上述製程，該第一電極(52)、由該保護層(53)與該介質層(54)所構成之糙面層(57)及該第二電極(57)係依序由下而上疊置於該基板(50)上構成該儲存電容(4)。

請參閱第六圖係本發明第五較佳實施例，提供一具散亂反射效果之儲存電容(5)製程，首先，參閱第六圖A，取一基板(60)並於其一平面(601)上依序沉積一導體層(61)及一介質層(62)，其中，該導體層(61)材質係導電材料：鉬，該介質層(62)材質係鋅氧化物；接著，參閱第六圖B，經微影再一併蝕刻以形成一呈島狀且具有一第一電極(63)及該介質層(62)之疊層結構(64)；接著，參閱第六圖C，沉積一保護層(65)覆蓋於前述疊層結構(64)上，該保護層(65)材質係氮化矽，該介質層(62)與該保護層(65)相疊積後，即衍化成一表面粗糙化之糙面層(66)；然後，參閱第六圖D，依序沉積一反射層(67)及一導電層(68)於該保護層(65)上，進行微影一併蝕刻於該第一電極(63)區域上方形成一呈島狀疊層結構之第二電極(69)，其中，該導電層(68)材質係透光導電材料：銦錫氧化物，該反射層(67)材質係高反射率材料：氧化鈦，致



五、發明說明 (10)

使該反射層(67)會對外界光照呈現散亂反射作用。藉上述製程，該第一電極(63)、由該介質層(62)與該保護層(65)所構成之糙面層(66)及該第二電極(69)係依序由下而上疊置於該基板(60)上構成該儲存電容(5)。

請參閱第七圖係本發明第六較佳實施例，提供一具散亂反射效果之儲存電容(6)製程，首先，參閱第七圖A，取一基板(70)並於其一平面(701)上沉積一導體層(71)後，參閱第三圖B，進行微影蝕刻形成一第一電極(72)，該導體層(71)材質係導電材料：鉻；接著，參閱第七圖C，沉積一介電層(73)覆蓋於前述結構(72)上，該介電層(73)材質係絕緣材料：氮化矽；最後，參閱第七圖D，依序沉積一導電層(74)、一介質層(75)、一保護層(76)及一反射層(77)於該介電層(73)上，進行微影再一併蝕刻於該第一電極(72)區域上方形成一呈島狀疊層結構之第二電極(78)，其中，該導電層(74)材質係導電材料：鉻，該介質層(75)與該保護層(76)材質分別為錫氧化物、氧化矽，該介質層(75)與該保護層(76)相疊積後，即衍化成一表面粗糙化之糙面層(79)，該反射層(77)材質係高反射率材料：氧化鎂，致使該反射層(77)會對外界光照呈現散亂反射作用。藉上述製程，該第一電極(72)、該介電層(73)及該第二電極(78)係由下而上依序疊置於該基板(70)上構成該儲存電容(6)。



五、發明說明 (11)

請參閱第八圖係本發明第七較佳實施例，提供一具散亂反射效果之儲存電容(7)製程，首先，參閱第八圖A，取一基板(80)並於其一平面(801)依序沉積一保護層(81)、一介質層(82)及一導體層(83)；接著，參閱第八圖B，經微影再一併蝕刻以形成一呈島狀疊層結構之第一電極(84)，其中，該導體層(83)材質係導電材料：銅，該保護層(81)與該介質層(82)材質分別為氮化矽、銦錫氧化物，該介質層(82)與該保護層(81)相疊積後，即衍化成一表面粗糙化之糙面層(85)；接著，參閱第八圖C，沉積一介電層(86)覆蓋於前述疊層結構(84)上，該介電層(86)材質係絕緣材料：氮化矽；最後，參閱第八圖D，沉積一反射層(87)於該介電層(86)上，進行微影蝕刻於該第一電極(84)區域上方形成一第二電極(88)，該反射層(87)材質係高反射率導電材料：銀，致使該第二電極(88)會對外界光照呈現散亂反射作用。藉上述製程，該第一電極(84)、該介電層(86)及該第二電極(88)係依序由下而上疊置於該基板(80)上構成該儲存電容(7)。

請參閱第九圖係本發明第八較佳實施例，提供一具散亂反射效果之儲存電容(8)製程，首先，參閱第八圖A，取一基板(90)並於其一平面(901)依序沉積一保護層(91)、一介質層(92)及一導體層(93)；接著，參閱第八圖B，經微影再一併蝕刻以形成一呈島狀疊層結構之第一電極(94)，其中，該導體層(93)材質係



五、發明說明 (12)

導電材料：鈦，該保護層(91)與該介質層(92)材質分別為氧化矽、錫氧化物，該介質層(92)與該保護層(91)相疊積後，即衍化成一表面粗糙化之糙面層(95)；接著，參閱第八圖C，沉積一介電層(96)覆蓋於前述疊層結構(94)上，該介電層(96)材質係絕緣材料：氮化矽；最後，參閱第八圖D，依序沉積一導電層(97)及一反射層(98)於該介電層(96)上，進行微影蝕刻於該第一電極(94)區域上方形成一第二電極(99)，其中，該導電層(97)材質係導電材料：鈦，該反射層(98)材質係高反射率材料：氧化鎂，致使該第二電極(99)會對外界光照呈現散亂反射作用。藉上述製程，該第一電極(94)、該介電層(96)及該第二電極(99)係依序由下而上疊置於該基板(90)上構成該儲存電容(8)。

本發明係改良儲存電容以使液晶面板增加對外界入射光照之利用效率，提昇其液晶畫面之亮度。並透過本發明所提供製程，省去在應用習知表面粗糙化技術時所另外增加之光罩微影程序，讓產品製作成本降低並提高整體製程之產能。

值得一提的是，雖然本發明係製出可對外界光照呈現出散亂反射作用之儲存電容，然而，對熟悉本發明技術領域之人士而言，能瞭解薄膜電晶體液晶顯示裝置係屬於三端子型主動陣列驅動式(Active Matrix)液晶顯示裝置，所以能推知本發明技術之原



五、發明說明 (13)

理亦可使用於其他主動陣列驅動式液晶顯示裝置上，如二端子型之薄膜二極體 (Thin Film Diode, TFD) 液晶顯示裝置及金屬-絕緣體-金屬 (Metal Insulator Metal, MIM) 液晶顯示裝置等之相關結構，亦即，前述裝置中之畫素電極或是薄膜二極體，外加薄膜電晶體等部位，皆能應用本發明技術之原理而使該部位對外界光照呈現出散亂反射作用。



圖式簡單說明

【圖式簡單說明】

第一圖係薄膜電晶體迴路陣列之結構圖。

第二至九圖係各為本發明第一至八較佳實施例之施行步驟圖。其中，各較佳實施例之圖示皆係以垂直第一圖圖面方向顯示。

【圖式符號說明】

A 儲存電容

B 畫素電極

C 薄膜電晶體

「第一實施例」

1 具散亂反射效果之儲存電容

20 基板

201 基板平面

21 導體層

22 介質層

23 第一電極

24 介質層島狀結構

25 島狀疊層

26 保護層

27 糙面層

28 反射層

29 第二電極

「第二實施例」

2 具散亂反射效果之儲存電容

30 基板

301 基板平面

31 導體層

32 第一電極

33 保護層

34 介質層



圖式簡單說明

- 35 反射層

37 島狀疊層
- 36 第二電極

38 糙面層

「第三實施例」

3 具散亂反射效果之儲存電容

- 40 基板

41 導體層

43 第一電極

45 島狀疊層

47 糙面層

49 反射層
- 401 基板平面

42 介質層

44 介質層島狀結構

46 保護層

48 導電層

4A 第二電極

「第四實施例」

4 具散亂反射效果之儲存電容

- 50 基板

51 導體層

53 保護層

55 導電層

57 第二電極

59 糙面層
- 501 基板平面

52 第一電極

54 介質層

56 反射層

58 島狀疊層

「第五實施例」

5 具散亂反射效果之儲存電容

- 60 基板
- 601 基板平面



圖式簡單說明

61 導體層

63 第一電極

65 保護層

67 反射層

69 第二電極

62 介質層

64 島狀疊層

66 糙面層

68 導電層

「第六實施例」

6 具散亂反射效果之儲存電容

70 基板

71 導體層

73 介電層

75 介質層

77 反射層

79 糙面層

701 基板平面

72 第一電極

74 導電層

76 保護層

78 第二電極

「第七實施例」

7 具散亂反射效果之儲存電容

80 基板

81 保護層

83 導體層

85 糙面層

87 反射層

801 基板平面

82 介質層

84 第一電極

86 介電層

88 第二電極

「第八實施例」



圖式簡單說明

8 具散亂反射效果之儲存電容

- | | |
|---------|----------|
| 90 基板 | 901 基板平面 |
| 91 保護層 | 92 介質層 |
| 93 導體層 | 94 第一電極 |
| 95 糙面層 | 96 介電層 |
| 97 導電層 | 98 反射層 |
| 99 第二電極 | |



六、申請專利範圍

1.一種具散亂反射效果之儲存電容，係用於薄膜電晶體陣列迴路中，包括：

一第一電極，形成於一基板上，具有一導電材料製之導體層；

一糙面層，形成於該第一電極上方，具有一介質層及一保護層；

一第二電極，形成於該糙面層上方，用以對外界光照呈現散亂反射。

2.依據申請專利範圍第1項所述之儲存電容，其中該保護層形成於該介質層上。

3.依據申請專利範圍第1項所述之儲存電容，其中該介質層形成於該保護層上。

4.依據申請專利範圍第1項所述之儲存電容，其中該第二電極具有一高反射率導電材料製之反射層。

5.依據申請專利範圍第1項所述之儲存電容，其中該第二電極具有一導電材料製之導電層及一高反射率材料製之反射層。

6.依據申請專利範圍第5項所述之儲存電容，其中該反射層形成於該導電層上。

7.依據申請專利範圍第5項所述之儲存電容，其中該導電層形成於該反射層上，且該導電層之材質係透光材料。

8.依據申請專利範圍第1項所述之儲存電容，其中該介質層構成係選自下列各物組成之群：銦氧化



六、申請專利範圍

物、錫氧化物、鋅氧化物、鉛氧化物、銦錫氧化物及銦鋅氧化物。

9.依據申請專利範圍第1項所述之儲存電容，其中該保護層構成係選自下列各物組成之群：氮化矽、氧化矽、氮氧化矽。

10.一種薄膜電晶體陣列迴路中具散亂反射效果之儲存電容製程，其步驟包括：

a)於一基板上利用一導體層及一介質層形成一具有一第一電極之島狀疊層結構，其中，該導體層構成該第一電極，該導體層之材質係導電材料；

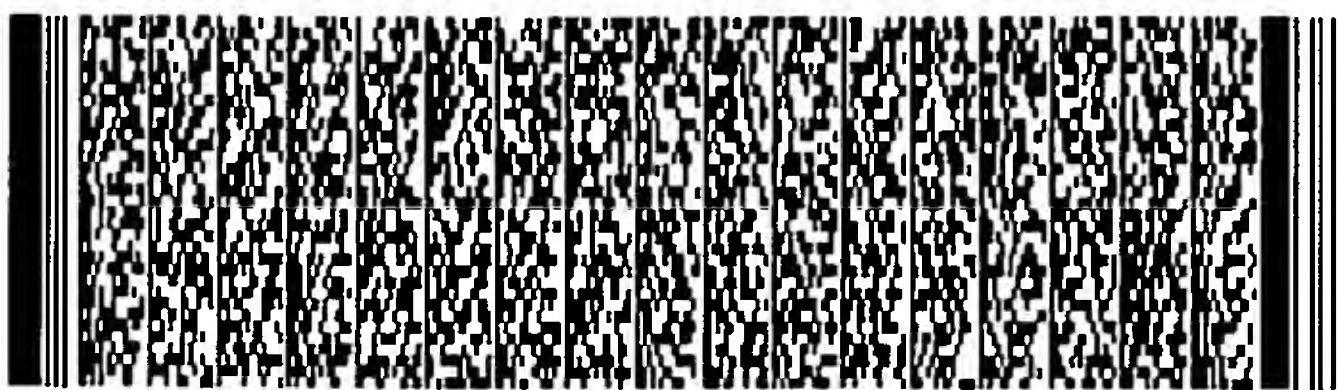
b)沉積一保護層覆蓋前述疊層結構，其中，該介質層及該保護層構成一糙面層；

c)於該糙面層上形成一第二電極。

11.依據申請專利範圍第10項所述之儲存電容製程，其中該第二電極係利用一反射層所形成，且該反射層之材質為高反射率導電材料。

12.依據申請專利範圍第10項所述之儲存電容製程，其中該第二電極係利用一導電層及一反射層依序所形成之島狀疊層結構，且該導電層之材質為導電材料，該反射層之材質為高反射率材料。

13.依據申請專利範圍第10項所述之儲存電容製程，其中該第二電極係利用一反射層及一導電層依序所形成之島狀疊層結構，且導電層之材質為透光導電材料，該反射層之材質為高反射率材料。



六、申請專利範圍

14.依據申請專利範圍第10項所述之儲存電容製程，其中該介質層之材質係選自下列各物組成之群：銦氧化物、錫氧化物、鋅氧化物、鉛氧化物、銦錫氧化物及銦鋅氧化物。

15.依據申請專利範圍第10項所述之儲存電容製程，其中該保護層之材質係選自下列各物組成之群：氮化矽、氧化矽、氮氧化矽。

16.一種薄膜電晶體陣列迴路中具散亂反射效果之儲存電容製程，其步驟包括：

- a)於一基板上利用一導體層形成一第一電極，其中，該導體層之材質係導電材料；
- b)沉積一保護層覆蓋該第一電極；
- c)於該保護層上形成一具有一第二電極之島狀疊層結構。

17.依據申請專利範圍第16項所述之儲存電容製程，其中該島狀疊層結構係利用一介質層及一反射層依序所形成，其中，該保護層及該介質層構成一糙面層，該反射層構成該第二電極，該反射層之材質係高反射率導電材料。

18.依據申請專利範圍第16項所述之儲存電容製程，其中該島狀疊層結構係利用一介質層、一導電層及一反射層依序所形成，其中，該保護層及該介質層構成一糙面層，該導電層及反射層構成該第二電極，該反射層之材質係高反射率材料。



六、申請專利範圍

19.依據申請專利範圍第16項所述之儲存電容製程，其中該介質層之材質係選自下列各物組成之群：銦氧化物、錫氧化物、鋅氧化物、鉛氧化物、銦錫氧化物及銦鋅氧化物。

20.依據申請專利範圍第16項所述之儲存電容製程，其中該保護層之材質係選自下列各物組成之群：氮化矽、氧化矽、氮氧化矽。

21.一種具散亂反射效果之儲存電容，係用於薄膜電晶體陣列迴路中，包括：

一第一電極，形成於一基板上，具有一導電材料製之導體層；

一介電層，係絕緣材料所構成，形成於該第一電極上；

一第二電極，形成於該介電層上，具有一導電材料製之導電層、一糙面層及一高反射率材料製之反射層，其中，該糙面層形成於該導電層上，具有一介質層及一保護層，且該保護層形成於該介質層上，而該反射層形成於該糙面層上方。

22.依據申請專利範圍第21項所述之儲存電容，其中該介質層構成係選自下列各物組成之群：銦氧化物、錫氧化物、鋅氧化物、鉛氧化物、銦錫氧化物及銦鋅氧化物。

23.依據申請專利範圍第21項所述之儲存電容，其中該保護層構成係選自下列各物組成之群：氮化



六、申請專利範圍

矽、氧化矽、氮氧化矽。

24.一種具散亂反射效果之儲存電容，係用於薄膜電晶體陣列迴路中，包括：

一第一電極，形成於一基板上，具有一糙面層及一導電材料製之導體層，其中，該糙面層具有一介質層及一保護層，且該介質層形成於該保護層上，而該導體層形成於該糙面層上；

一介電層，係絕緣材料所構成，形成於該第一電極上；

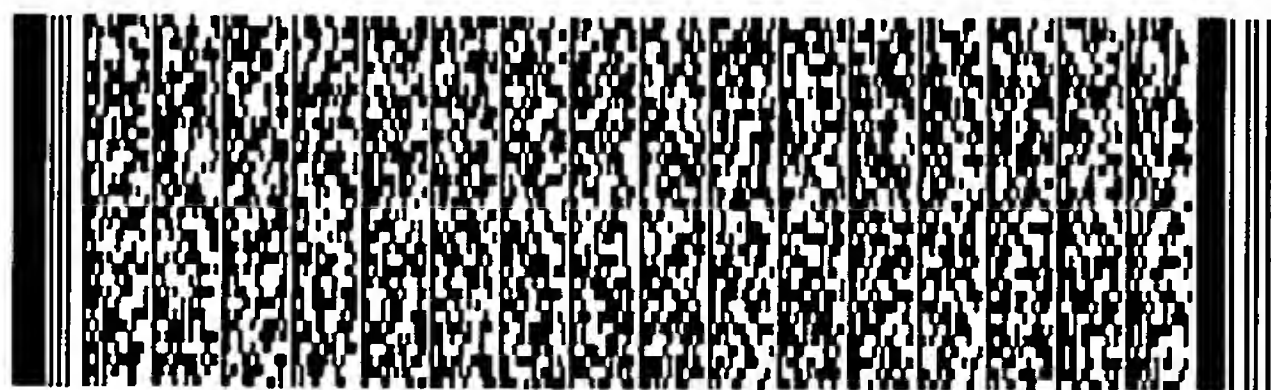
一第二電極，形成於該介電層上，用以對外界光照呈現散亂反射。

25.依據申請專利範圍第24項所述之儲存電容，其中該介質層構成係選自下列各物組成之群：銦氧化物、錫氧化物、鋅氧化物、鉛氧化物、銦錫氧化物及銦鋅氧化物。

26.依據申請專利範圍第24項所述之儲存電容，其中該保護層構成係選自下列各物組成之群：氮化矽、氧化矽、氮氧化矽。

27.依據申請專利範圍第24項所述之儲存電容，其中該第二電極具有一高反射率導電材料製之反射層。

28.依據申請專利範圍第24項所述之儲存電容，其中該第二電極具有一導電材料製之導電層及一高反射率材料製之反射層，且該反射層形成於該導電層上




六、申請專利範圍

方。





1
 2
 3
 4
 5
 6
 7
 8
 9
 10
 11
 12
 13
 14
 15
 16
 17
 18
 19
 20
 21
 22
 23
 24
 25
 26
 27
 28
 29
 30
 31
 32
 33
 34
 35
 36
 37
 38
 39
 40
 41
 42
 43
 44
 45
 46
 47
 48
 49
 50
 51
 52
 53
 54
 55
 56
 57
 58
 59
 60
 61
 62
 63
 64
 65
 66
 67
 68
 69
 70
 71
 72
 73
 74
 75
 76
 77
 78
 79
 80
 81
 82
 83
 84
 85
 86
 87
 88
 89
 90
 91
 92
 93
 94
 95
 96
 97
 98
 99
 100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525



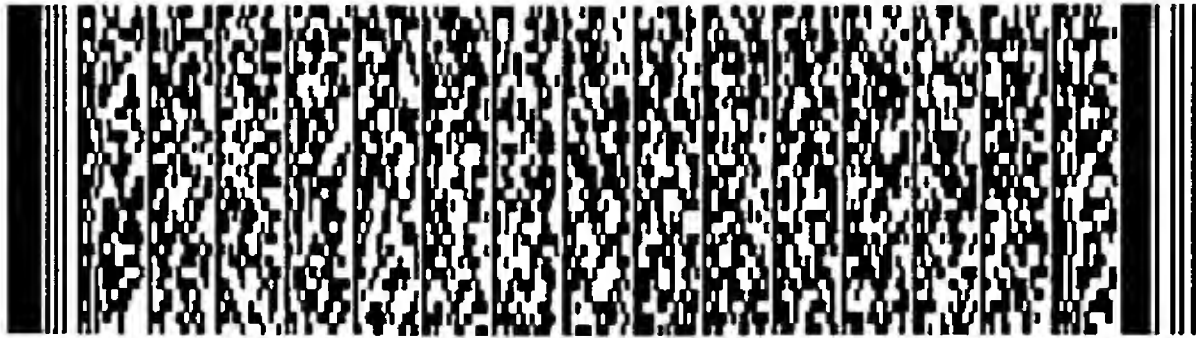


RESEARCH

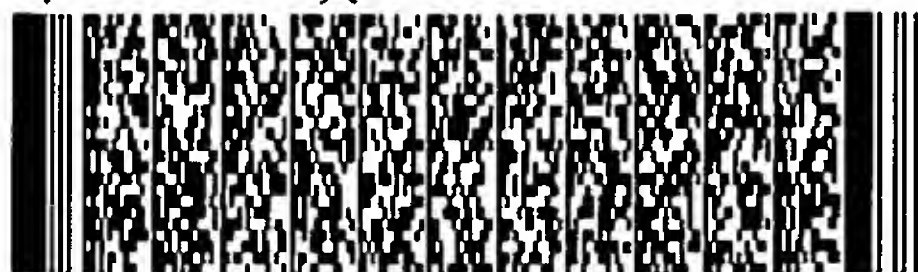
100

100





第 22/28 頁



第 23/28 頁



第 24/28 頁



第 25/28 頁



第 26/28 頁

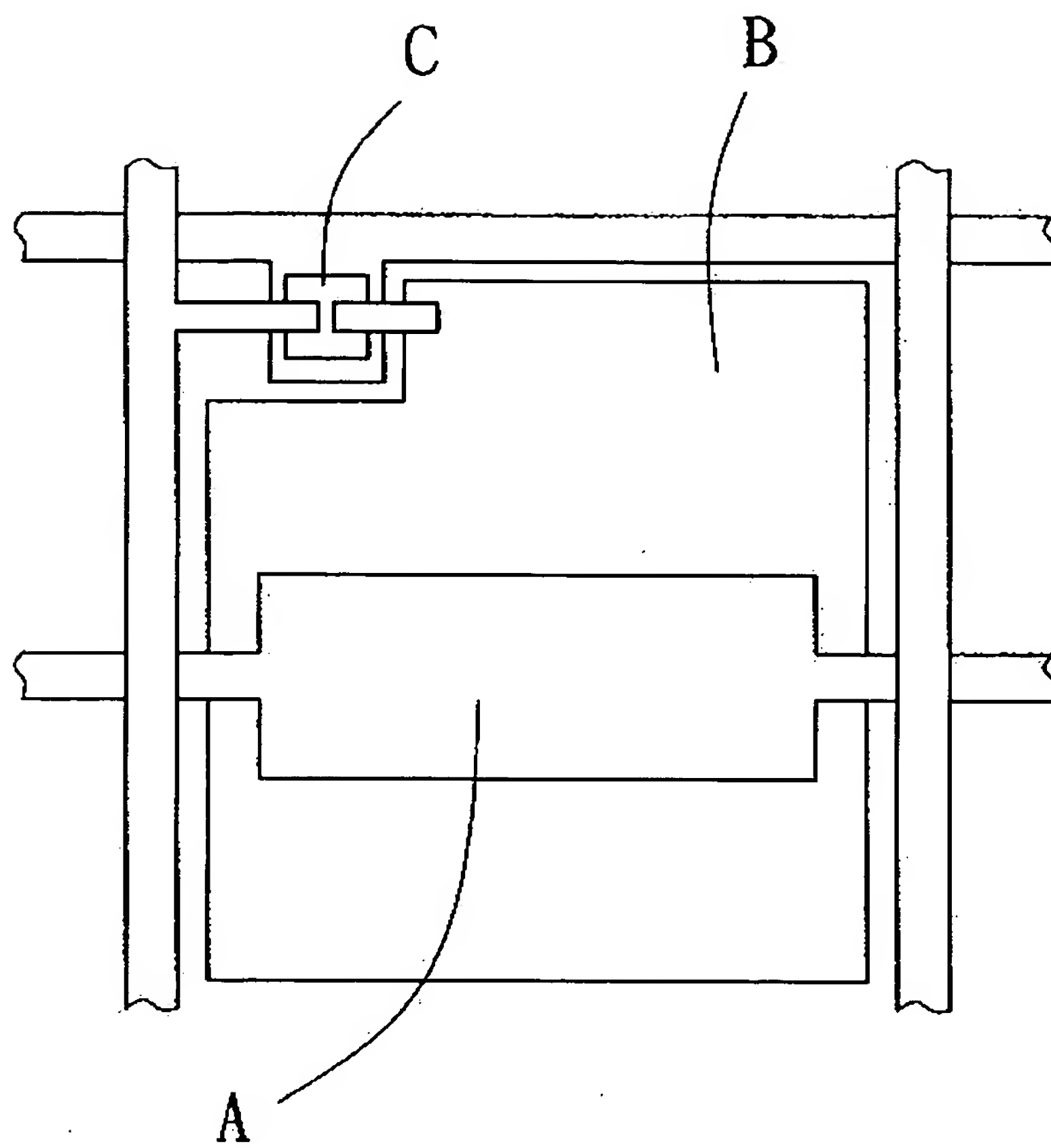


第 27/28 頁

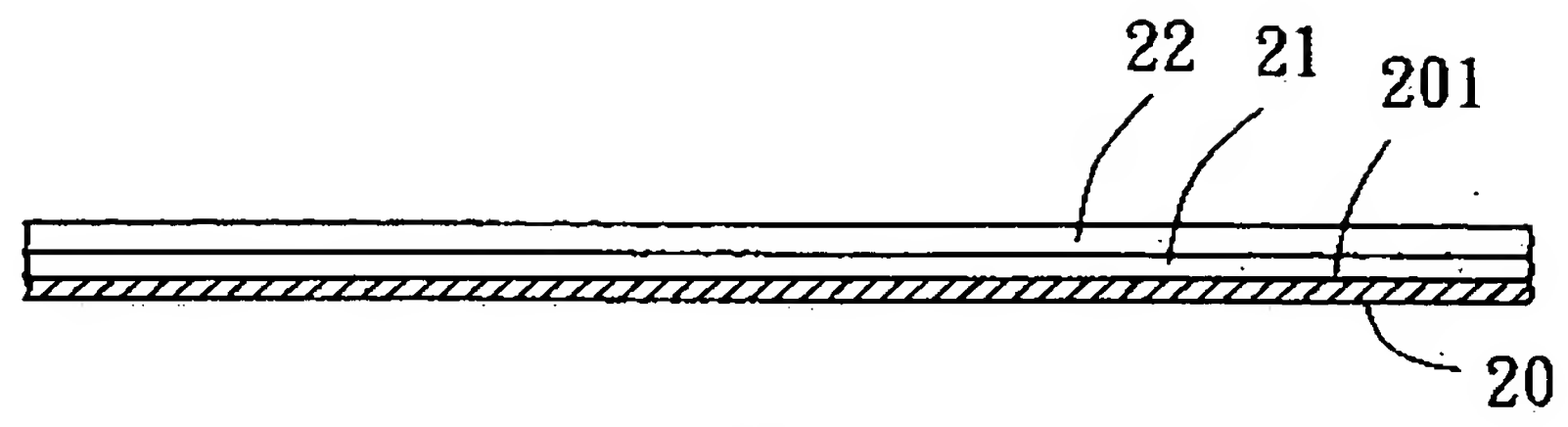


第 28/28 頁

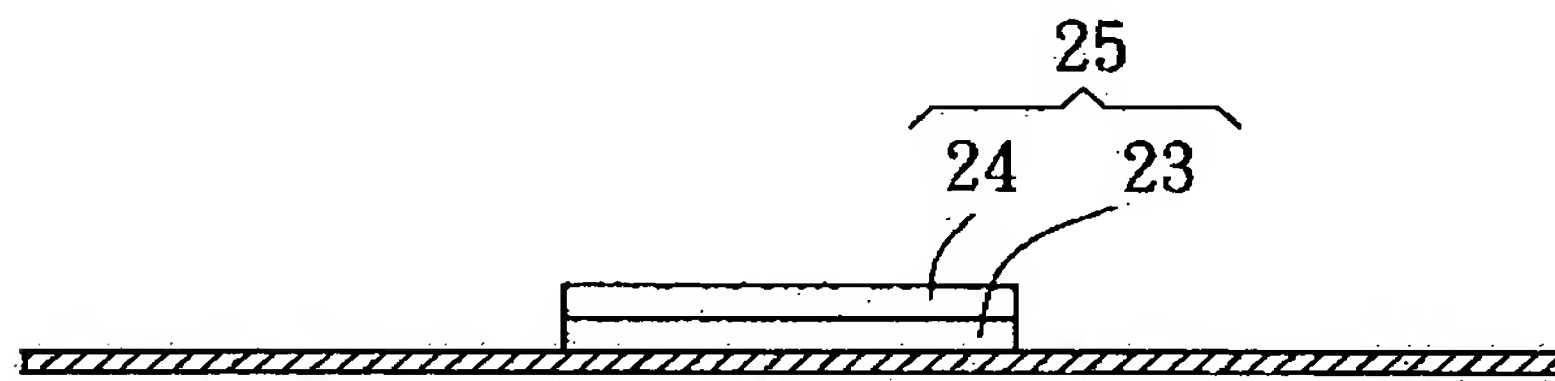




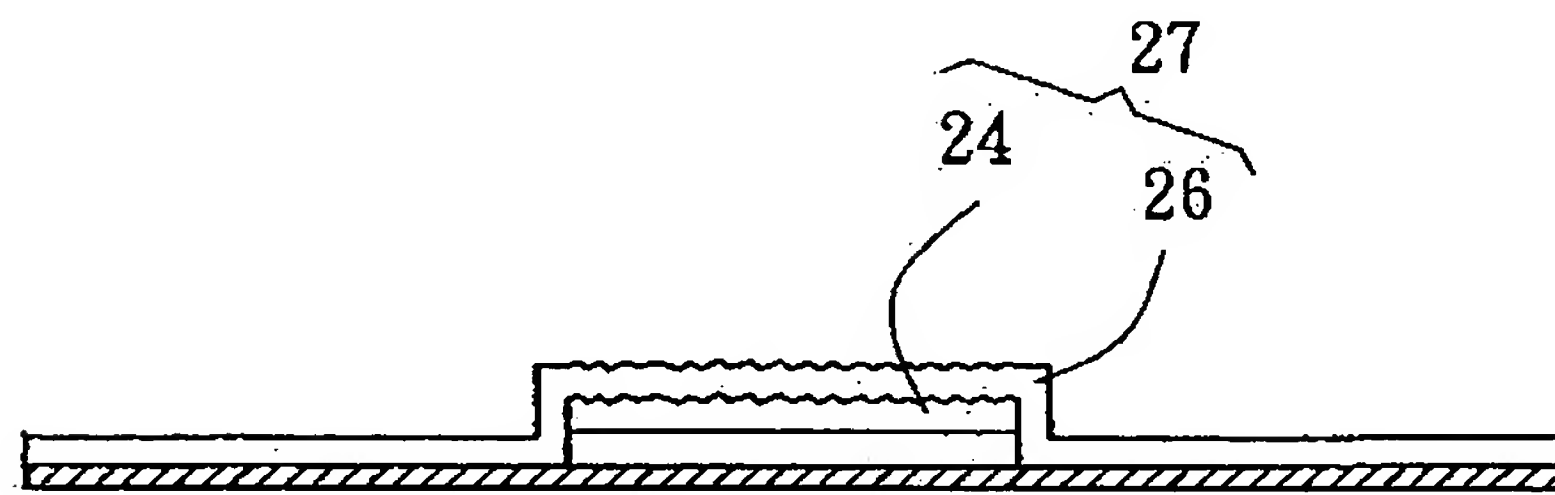
第一圖



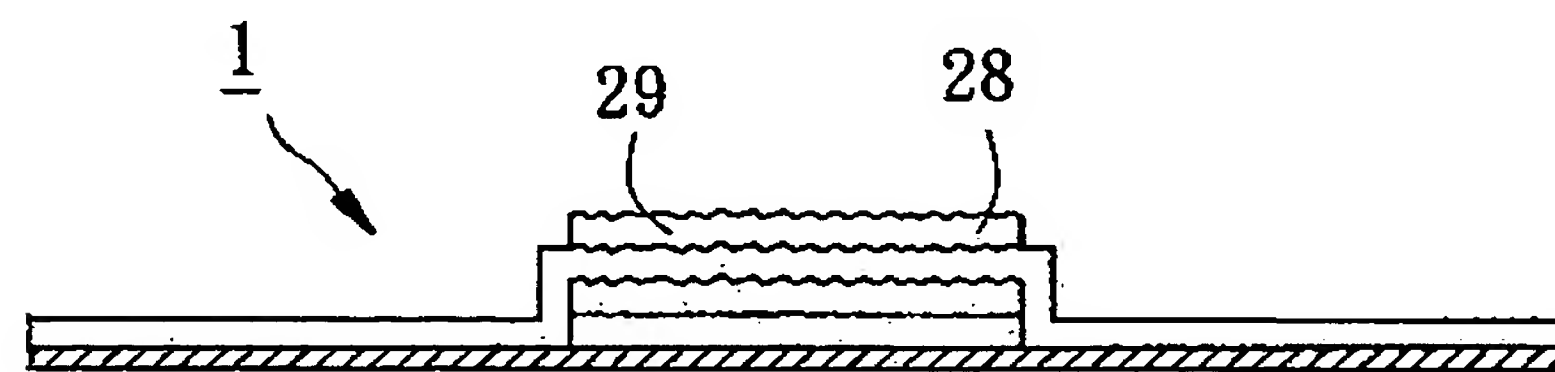
(A)



(B)

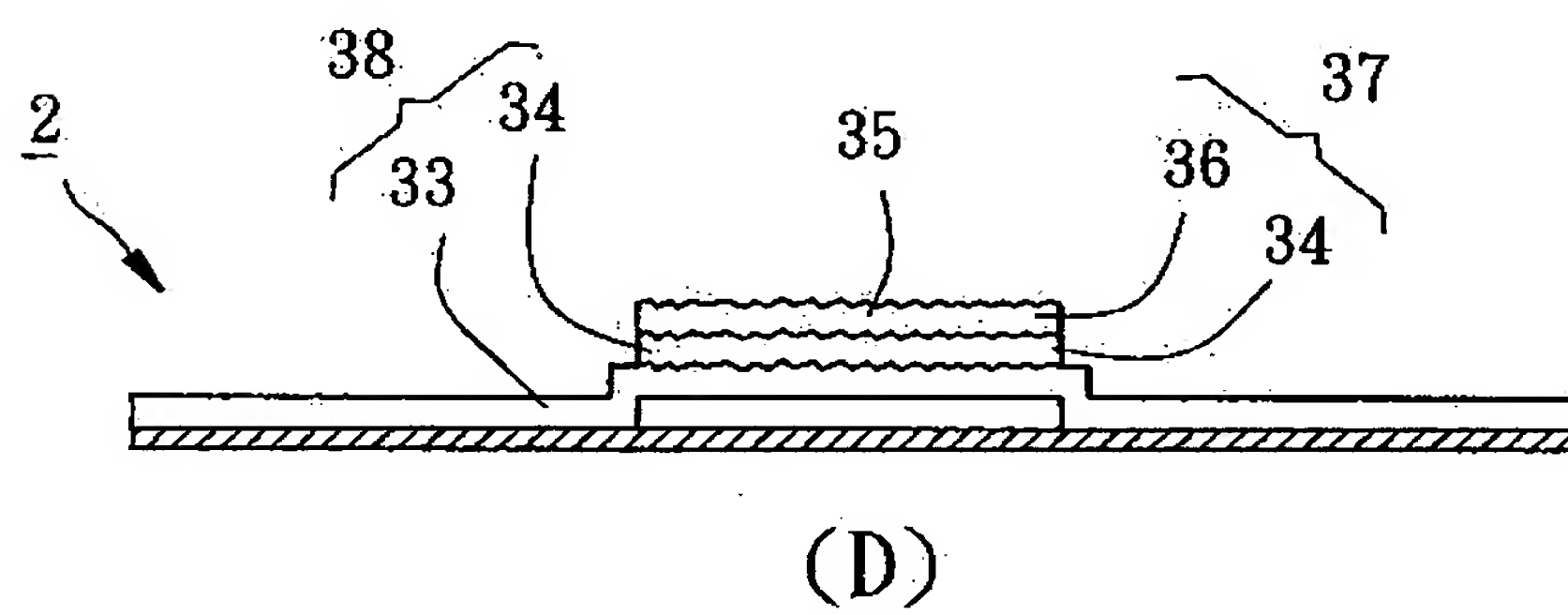
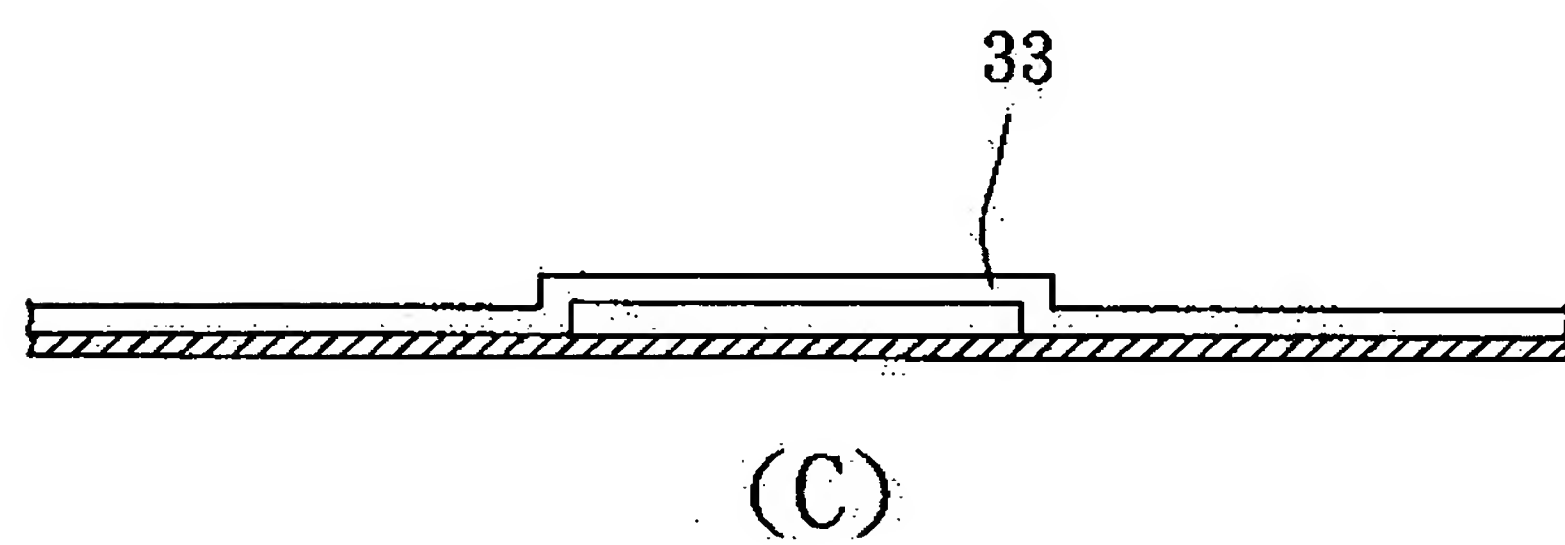
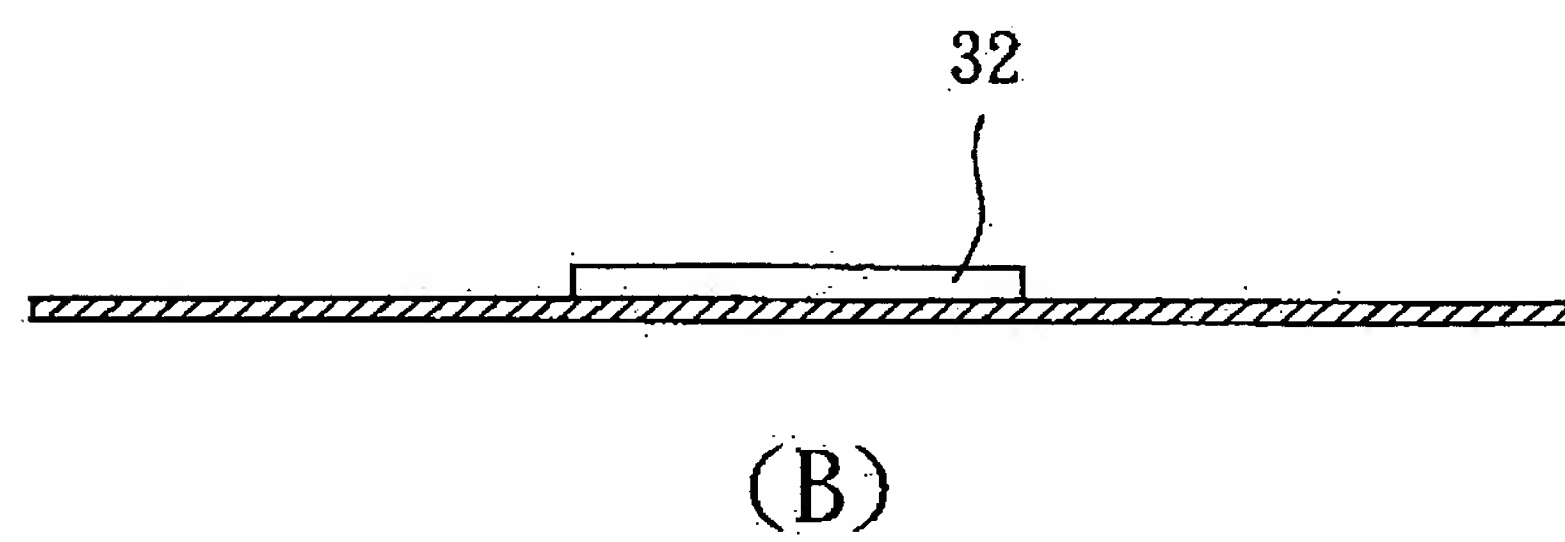
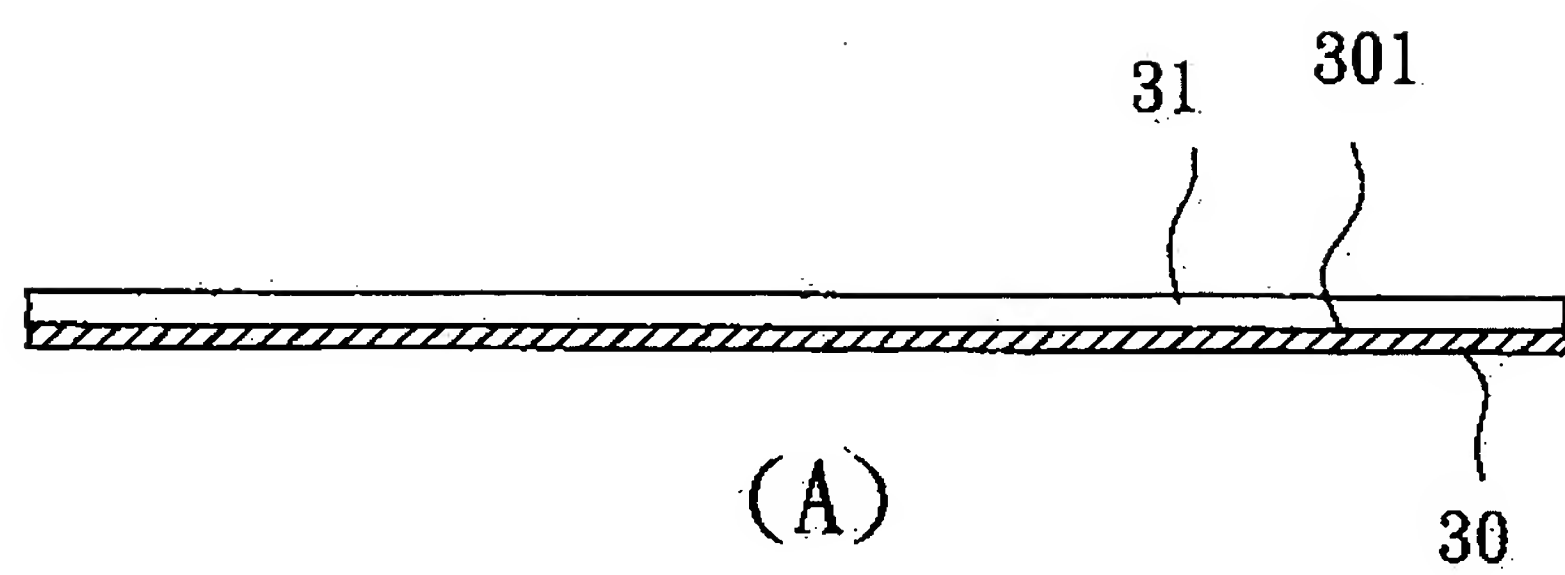


(C)

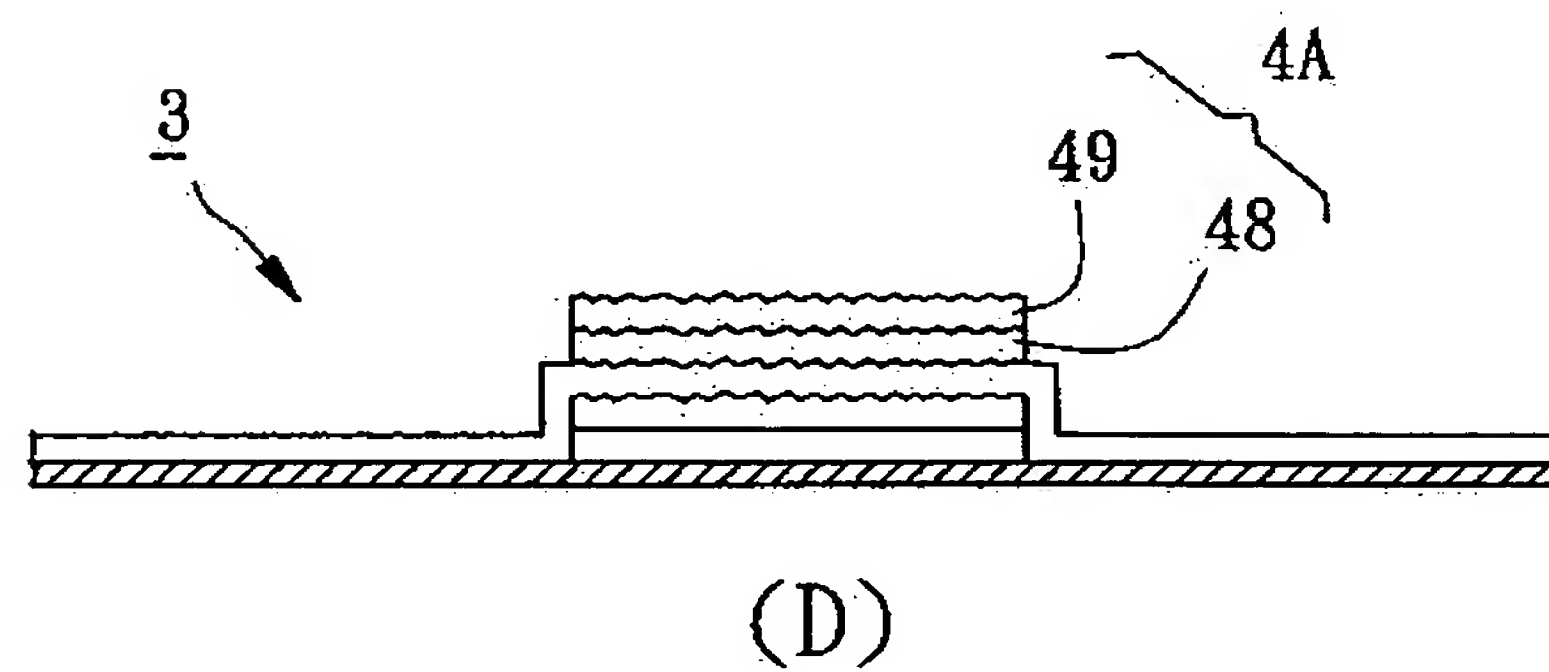
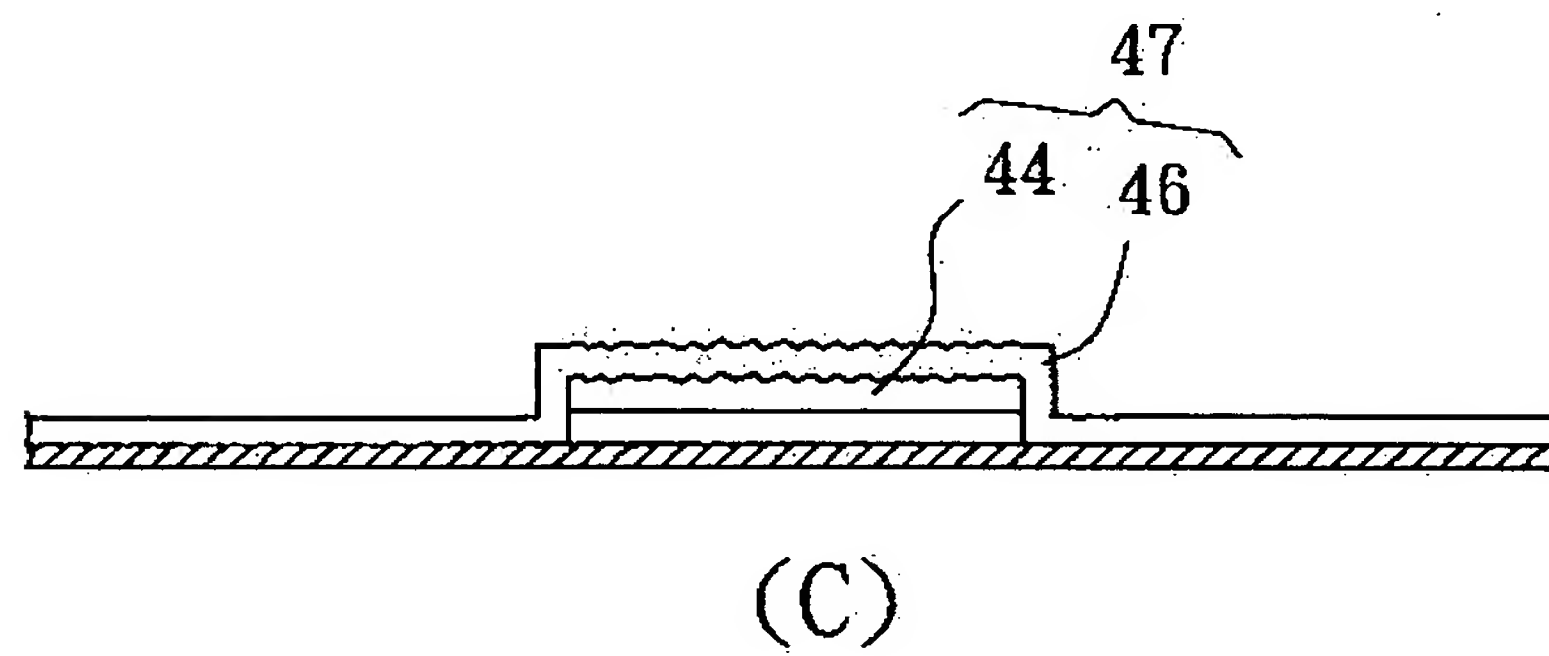
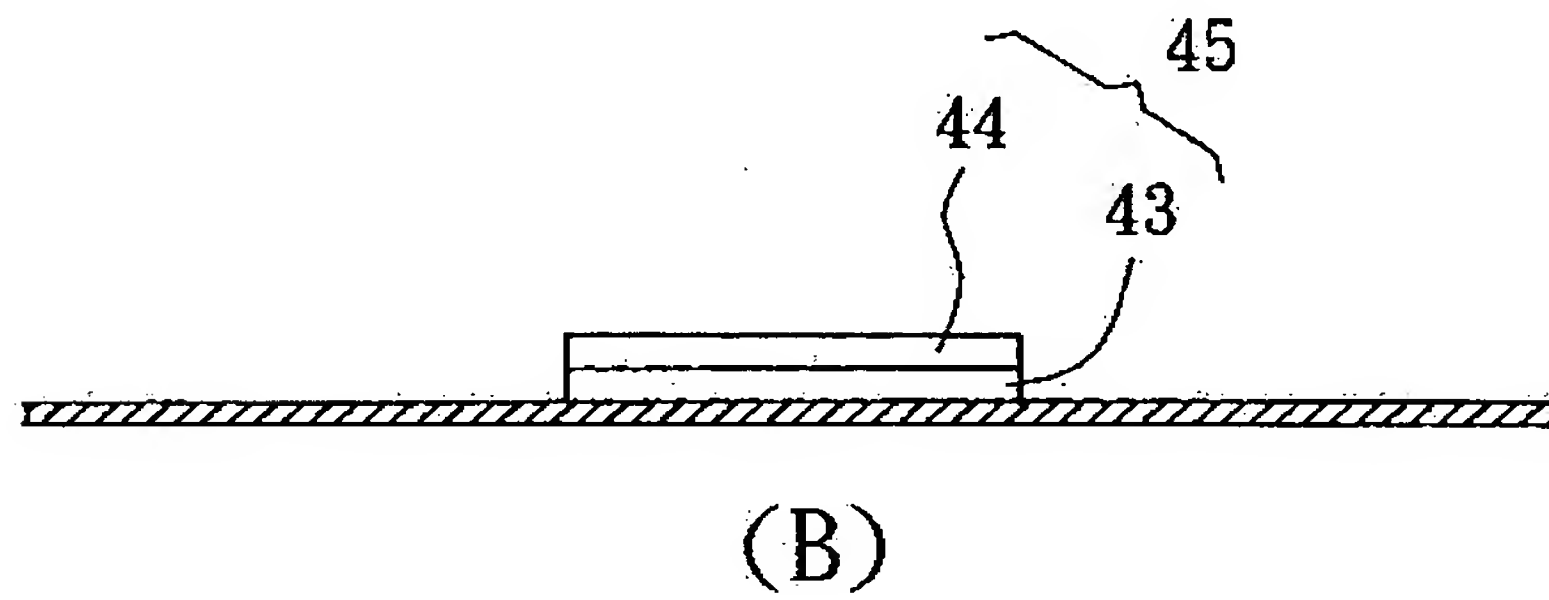
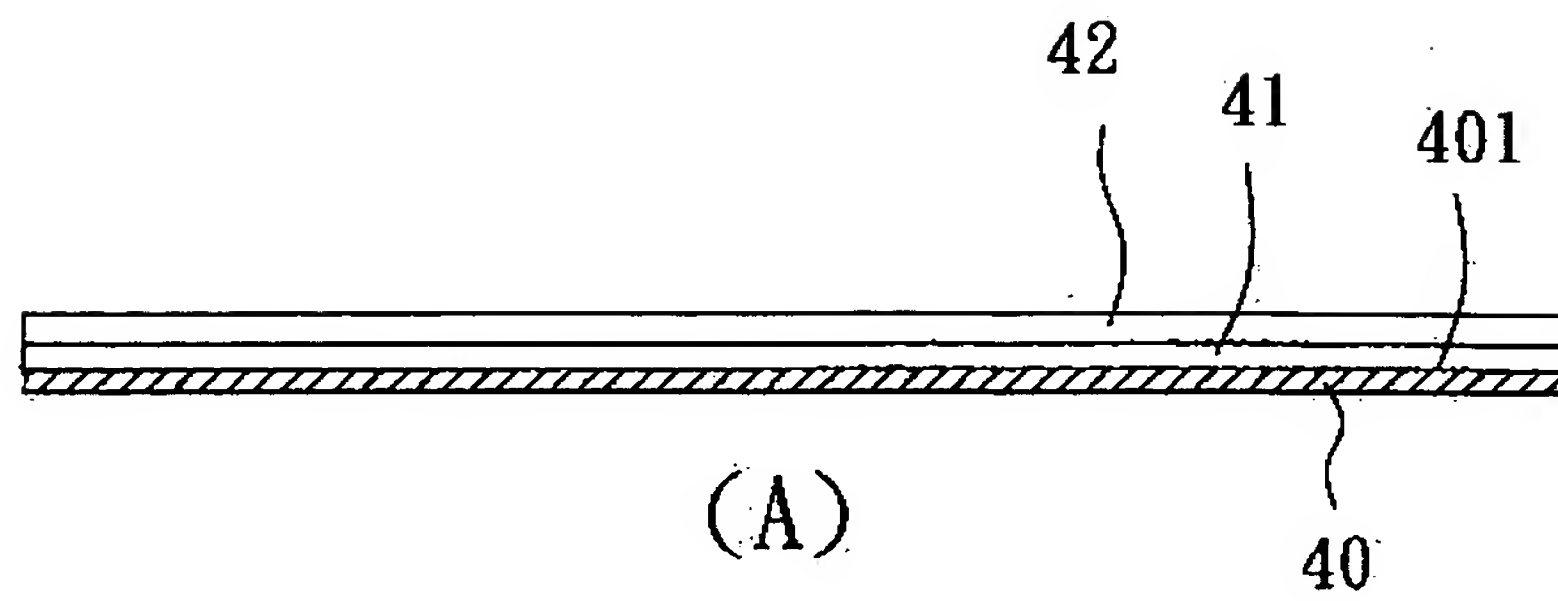


(D)

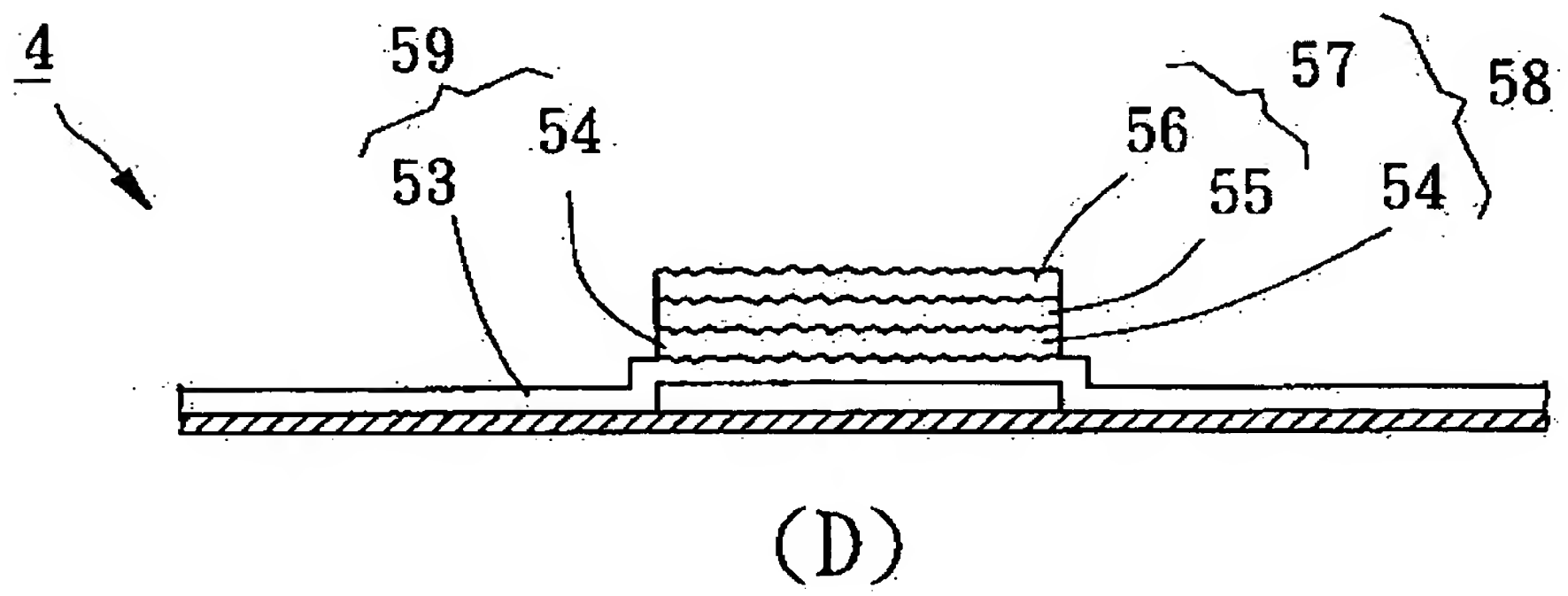
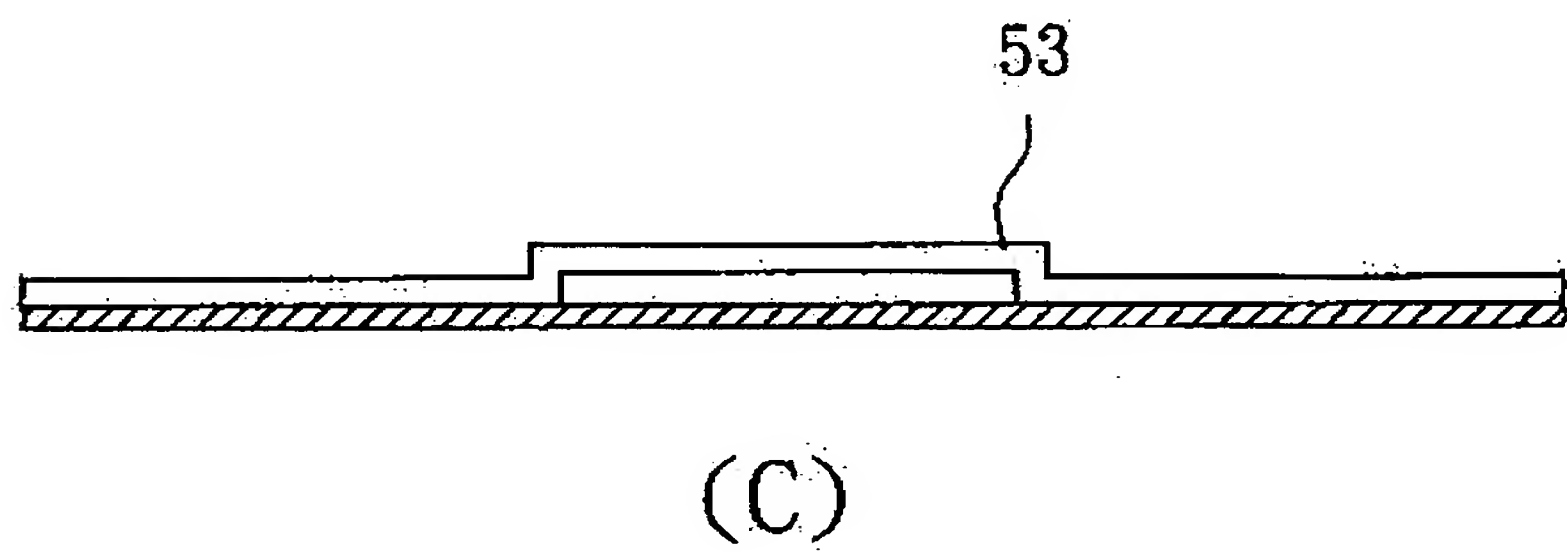
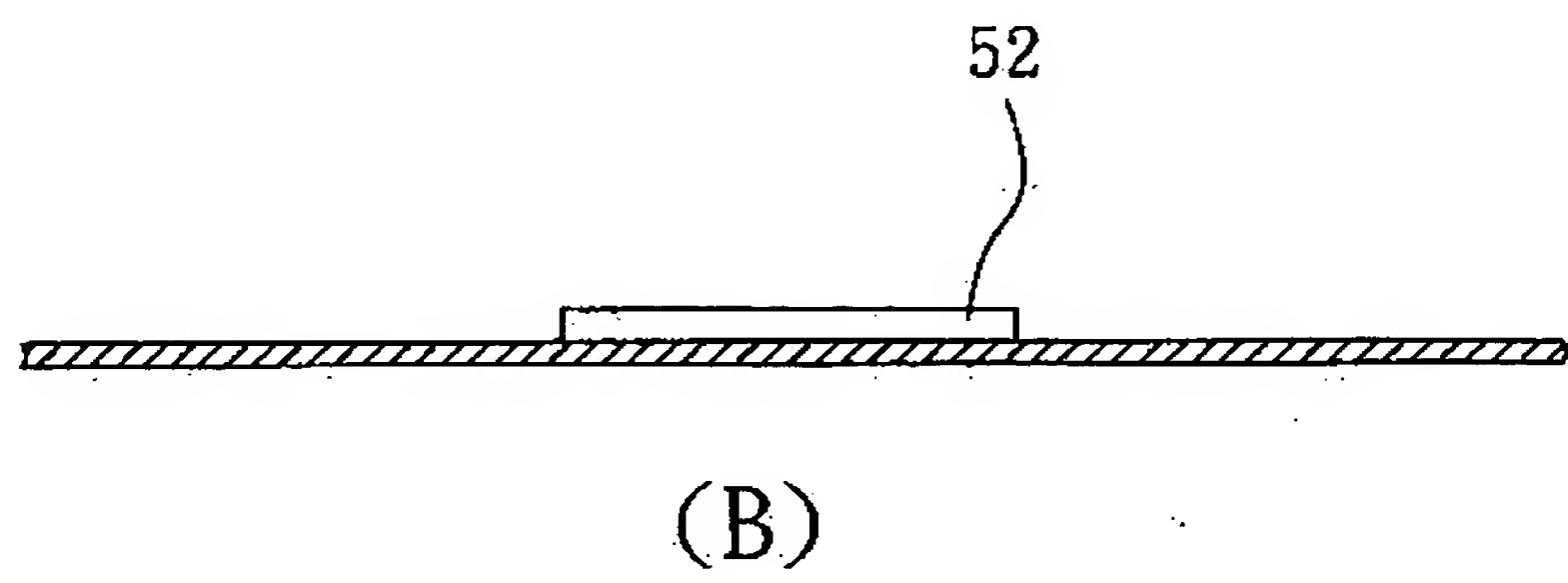
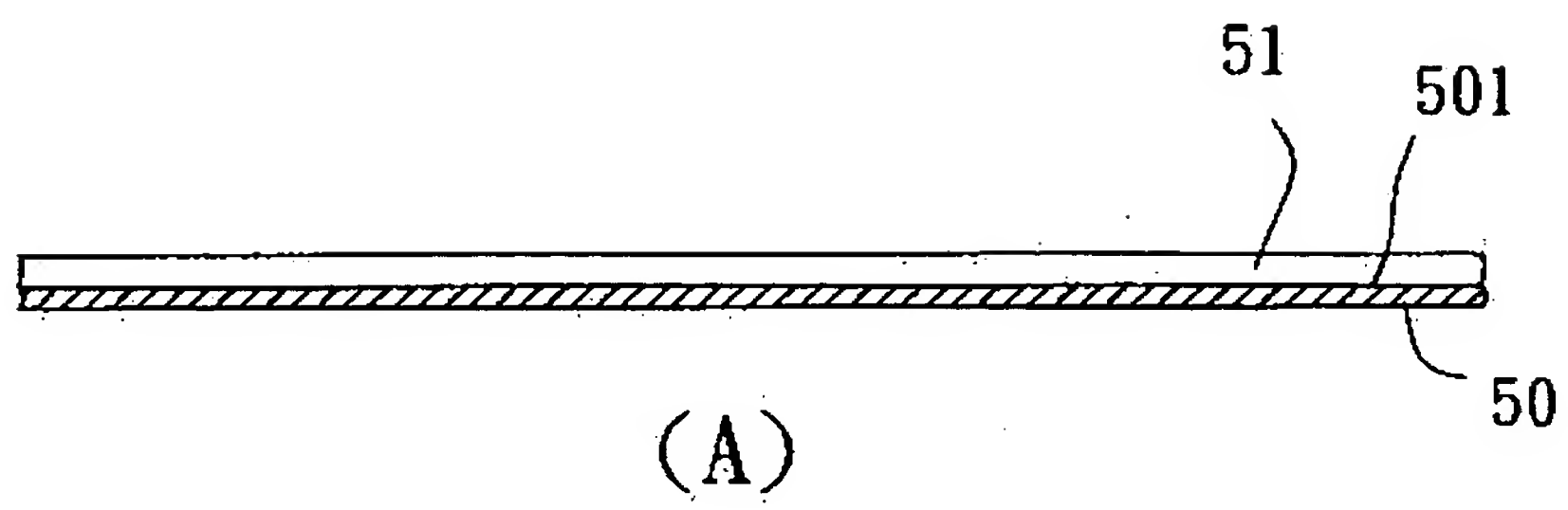
第二圖



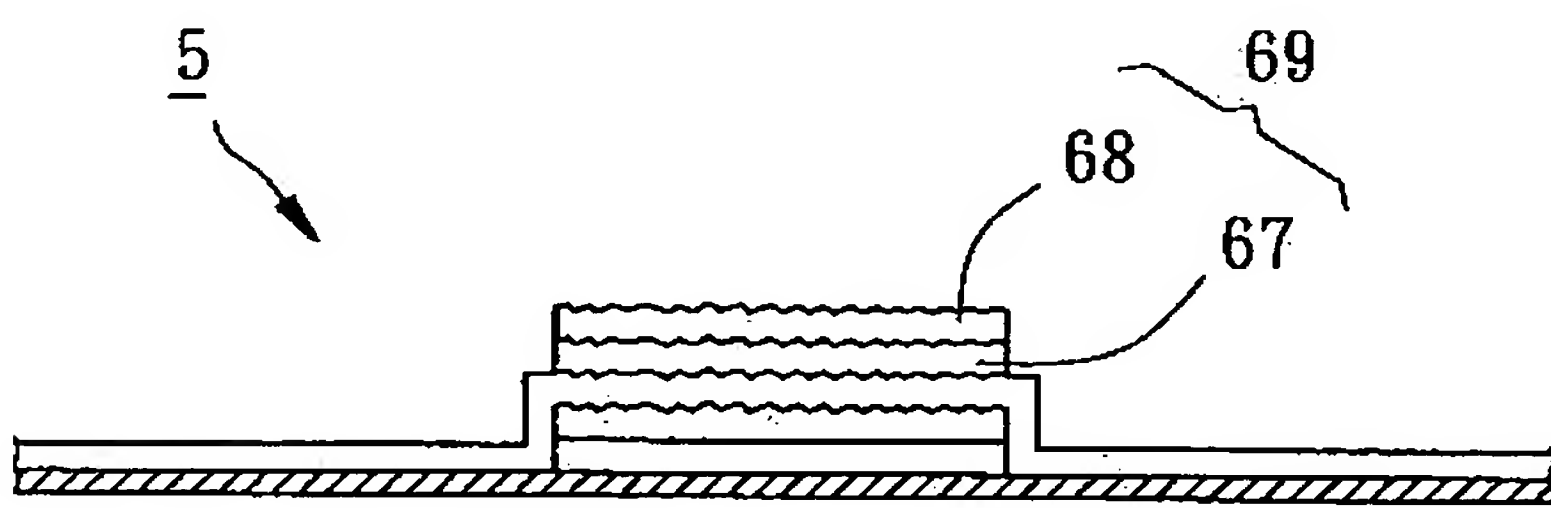
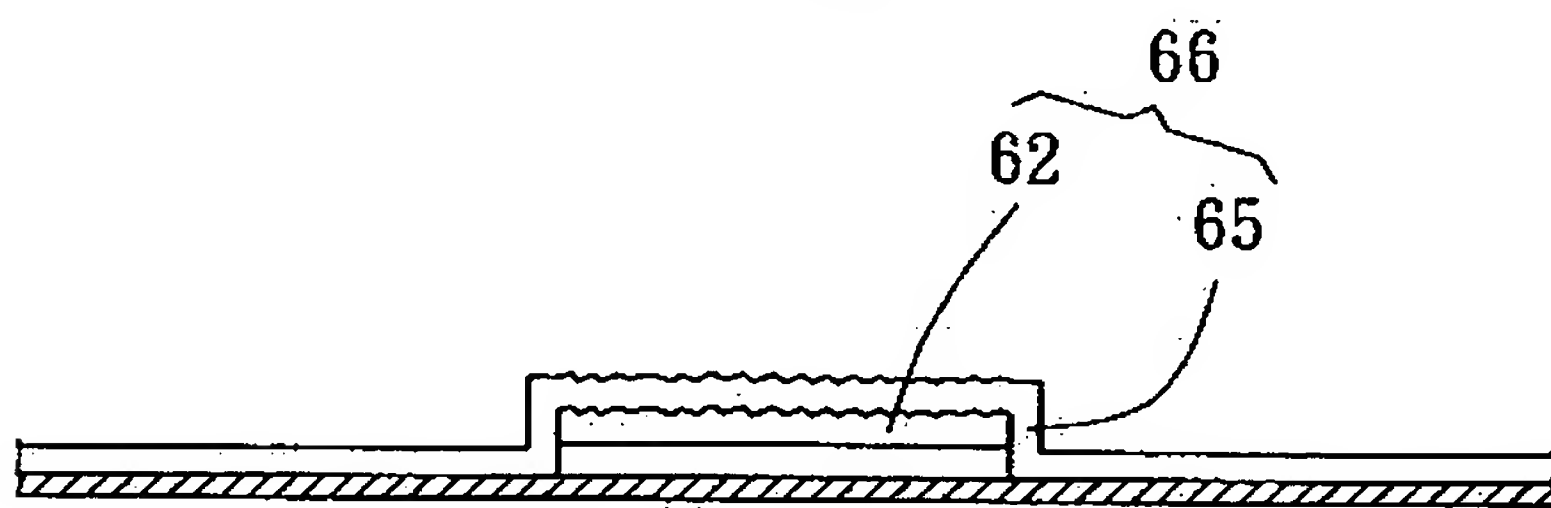
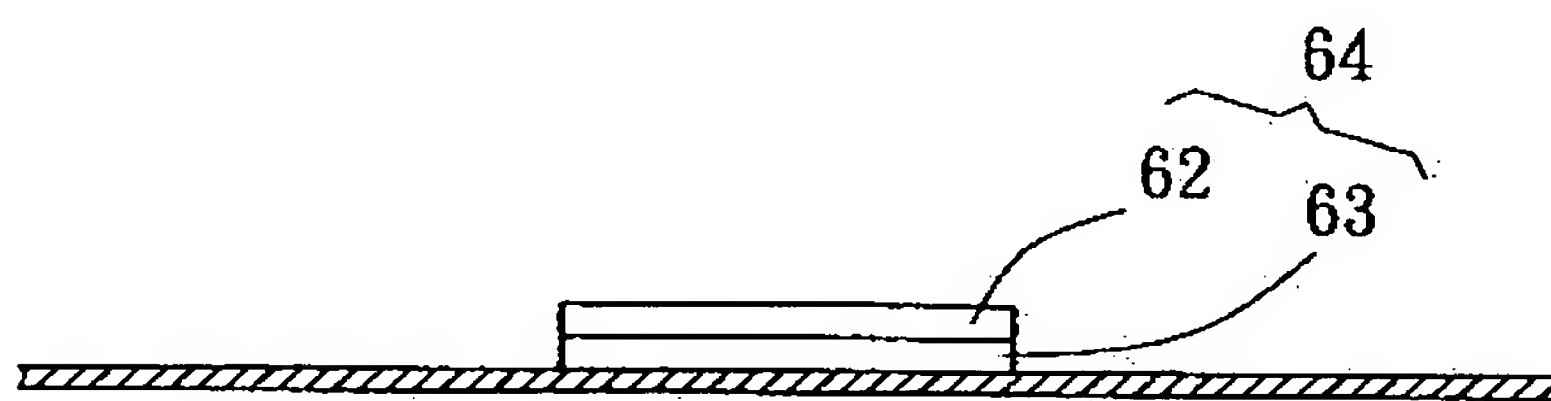
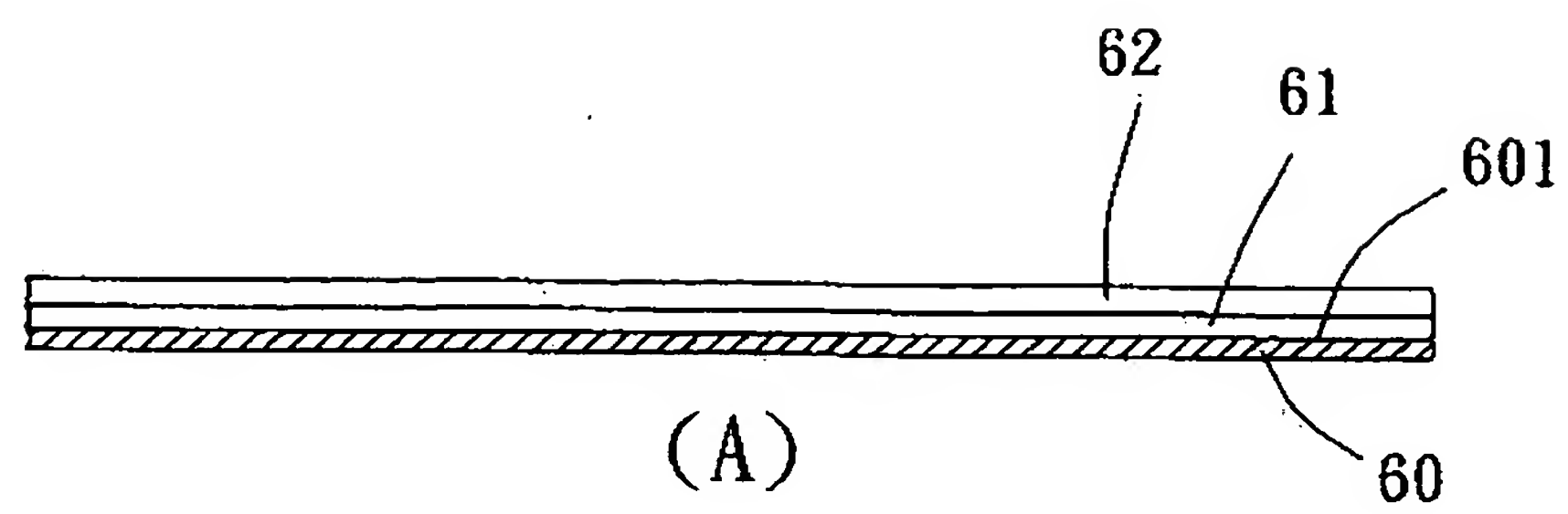
第三圖



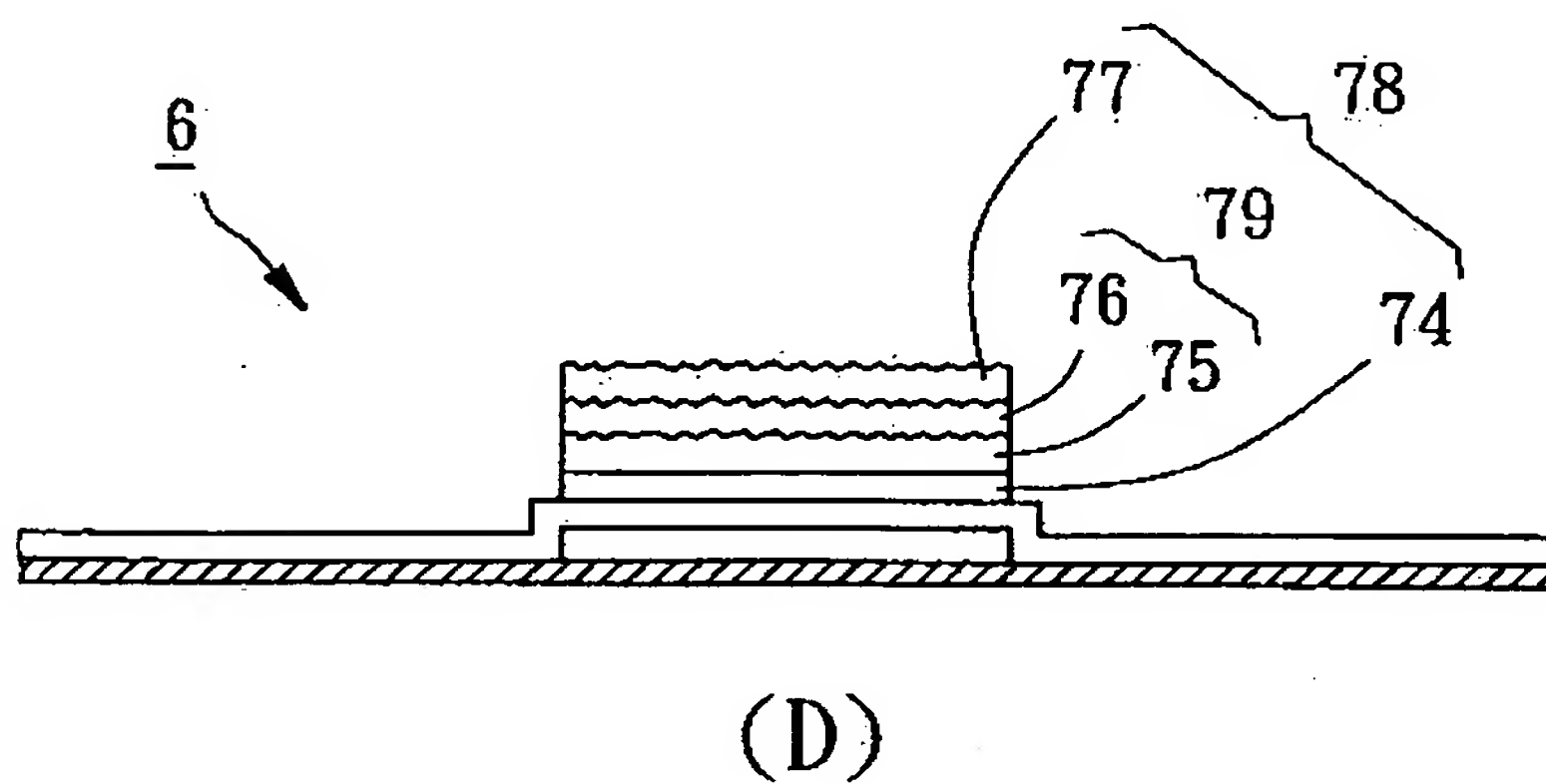
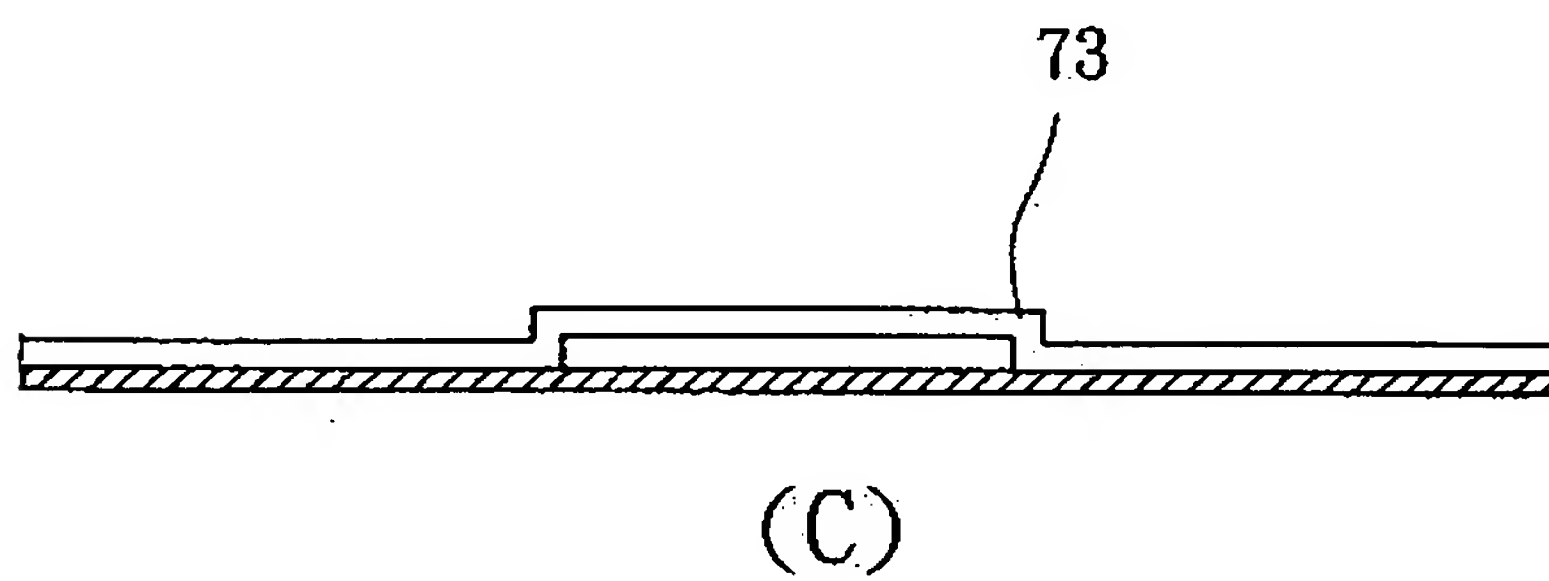
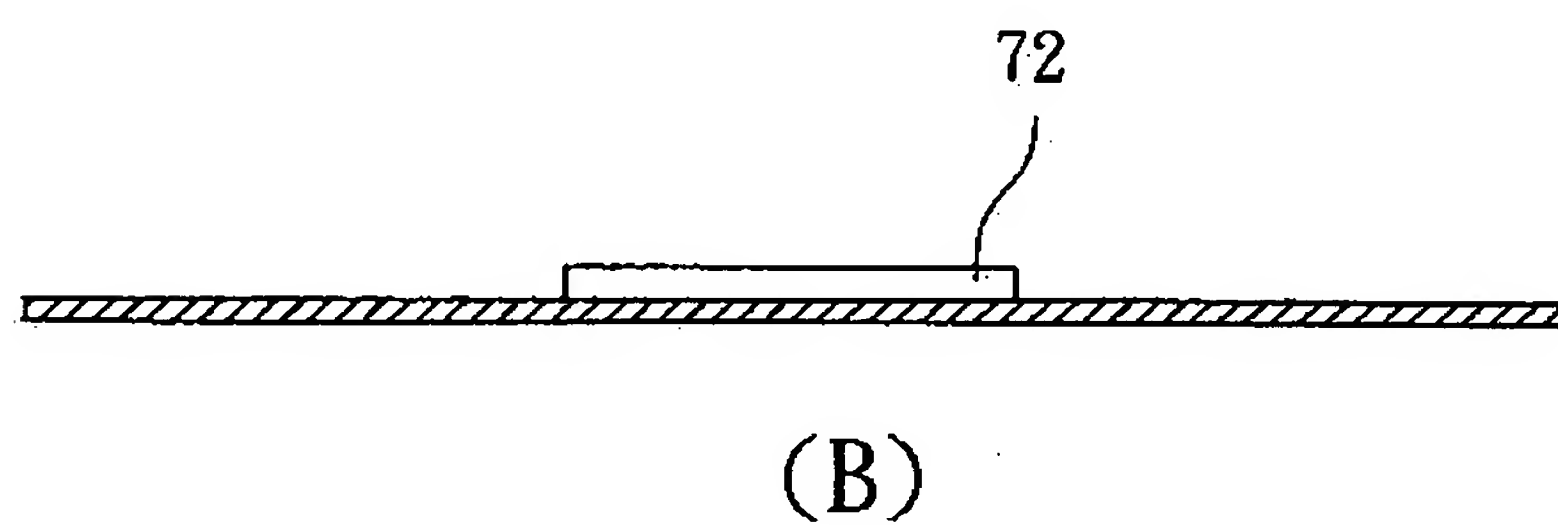
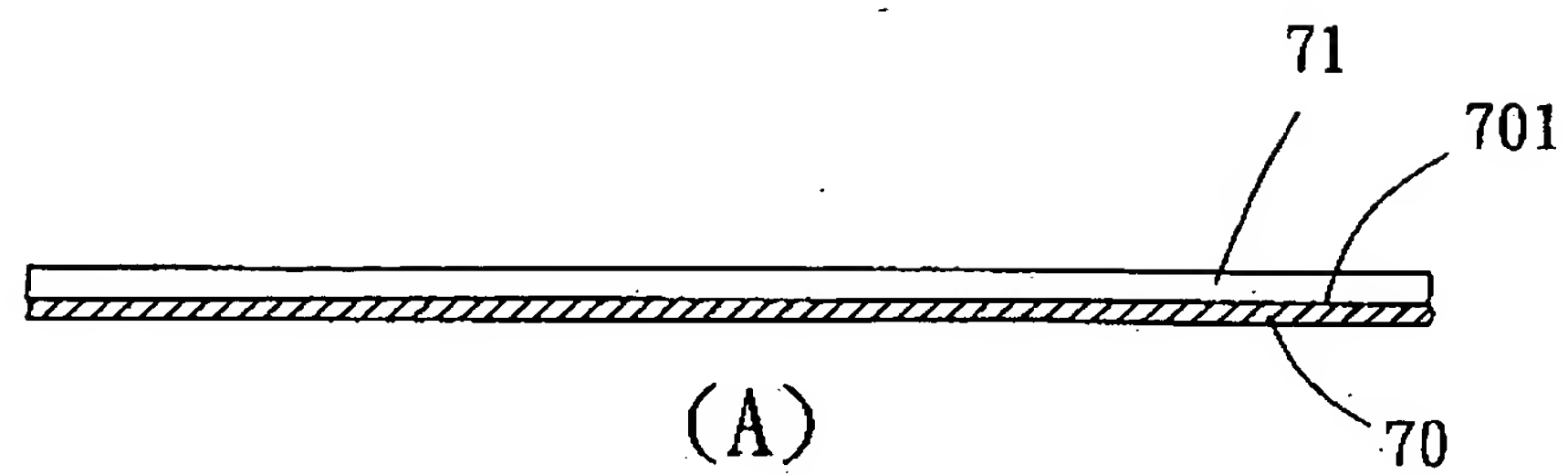
第四圖



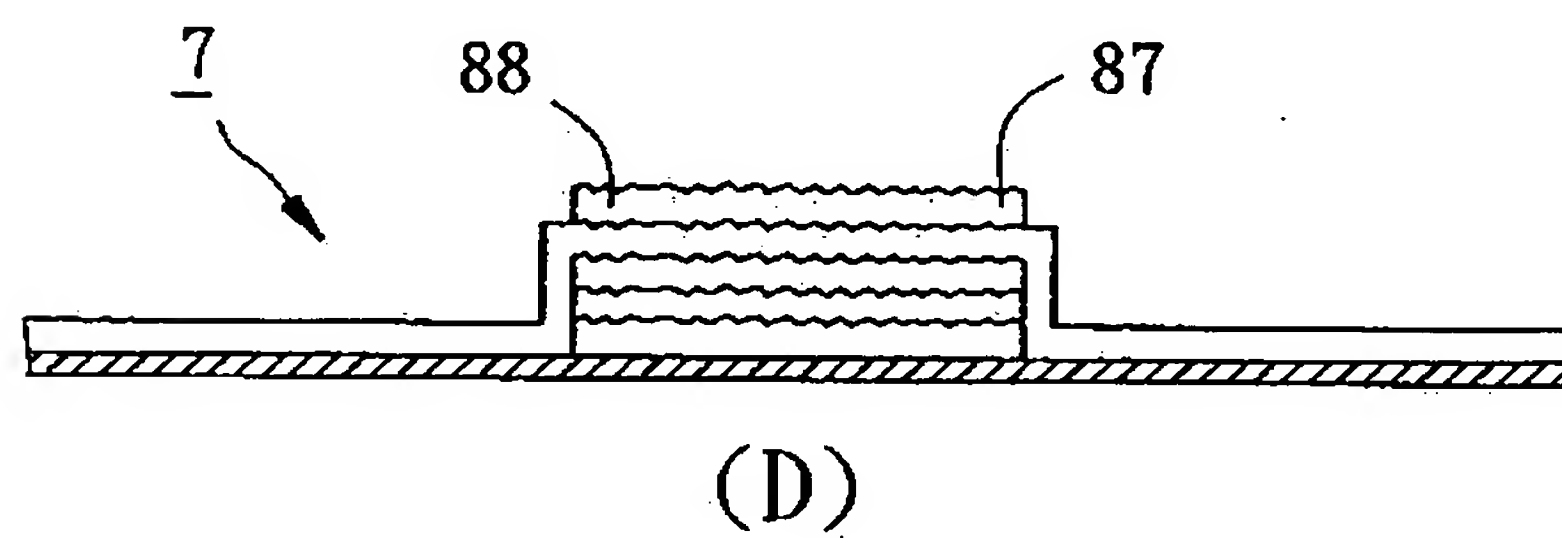
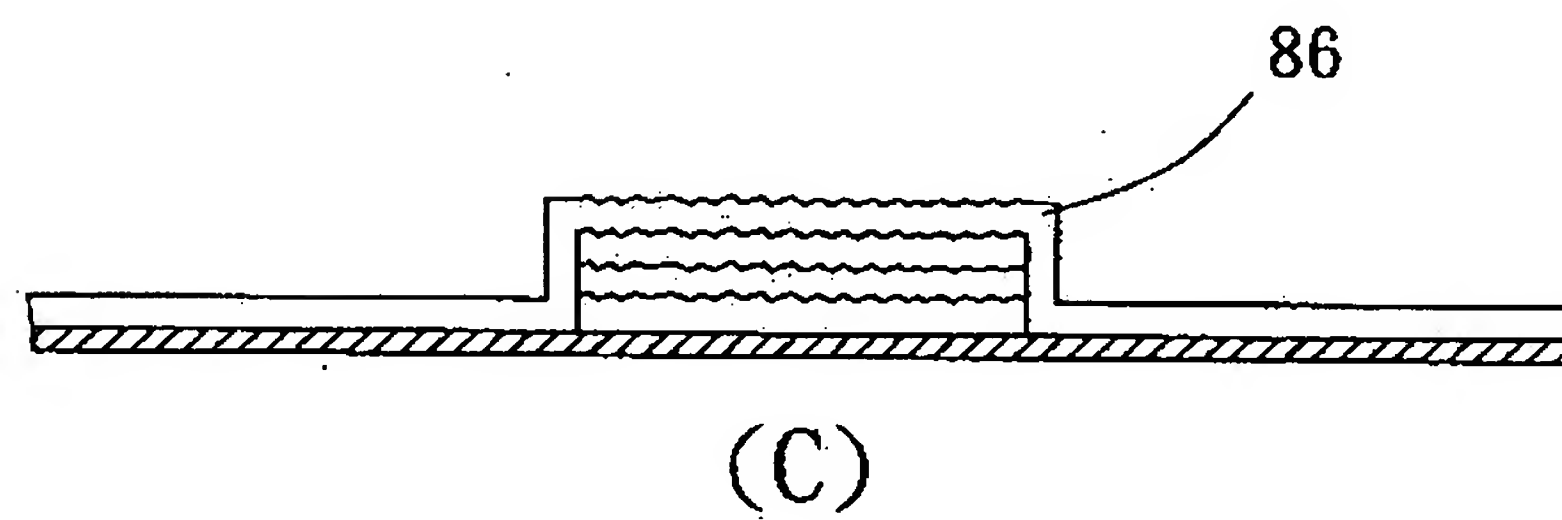
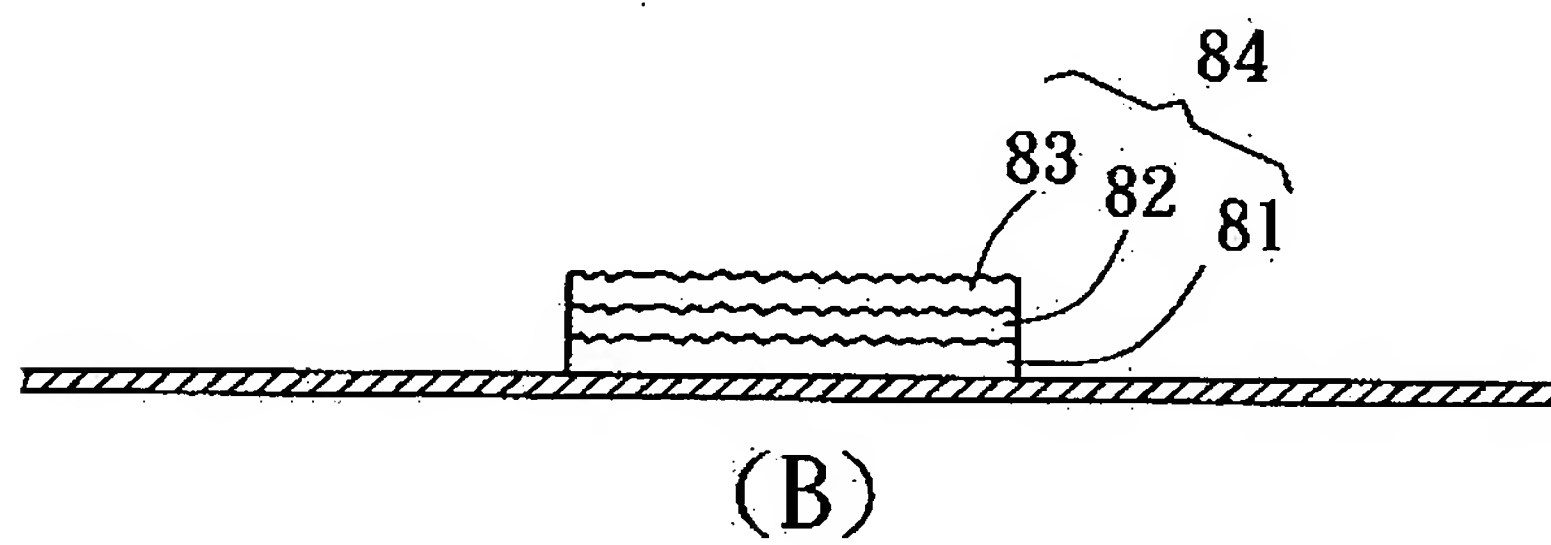
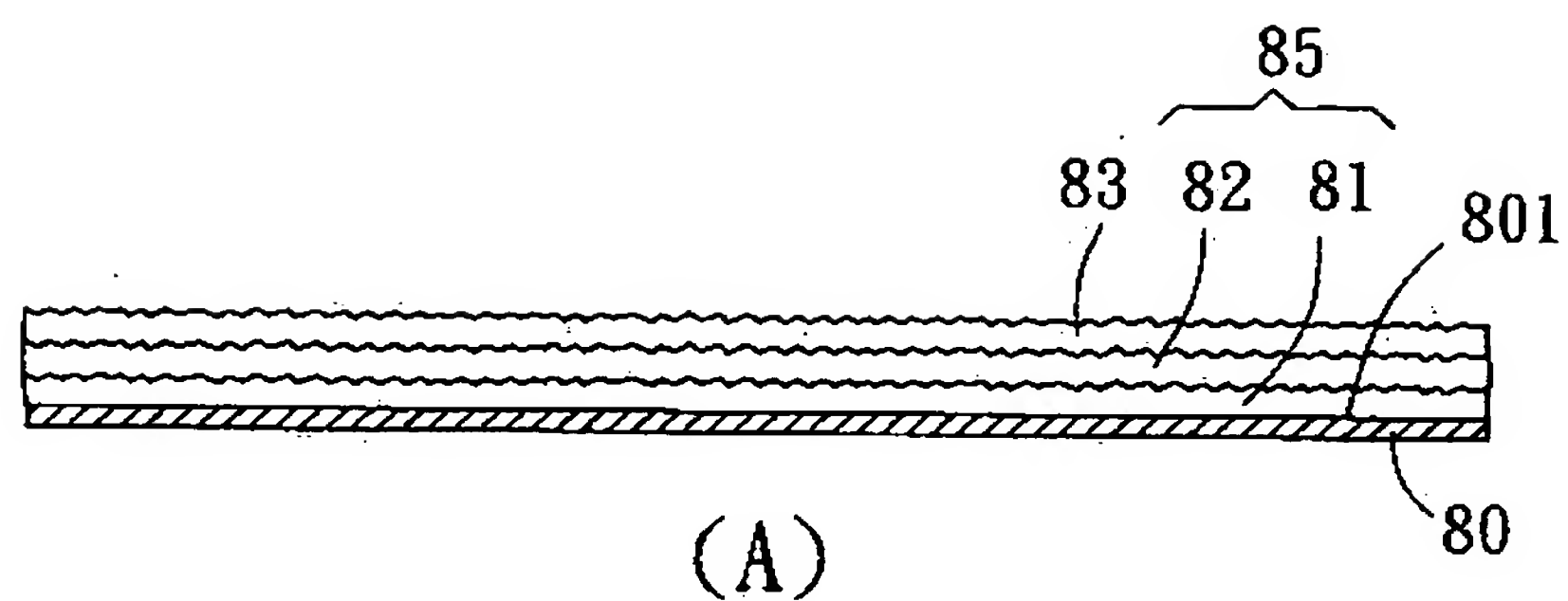
第五圖



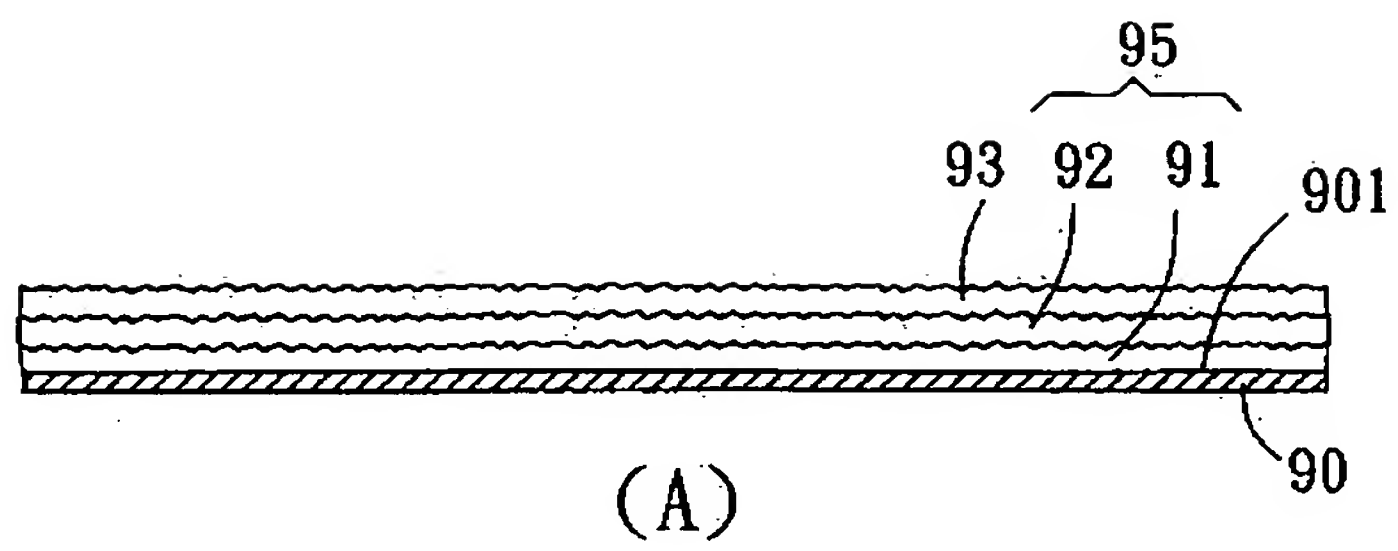
第六圖



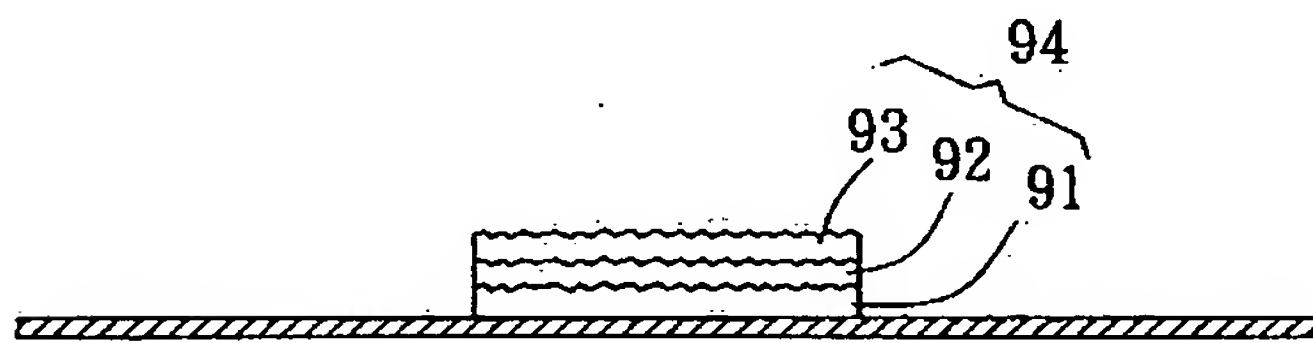
第七圖



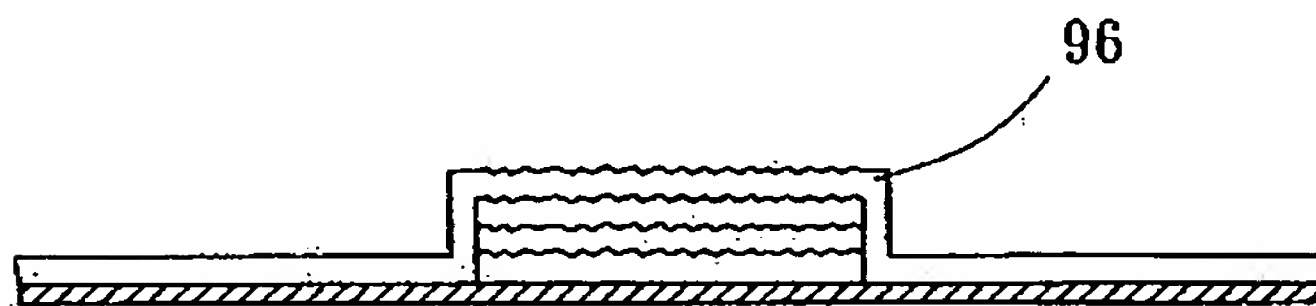
第八圖



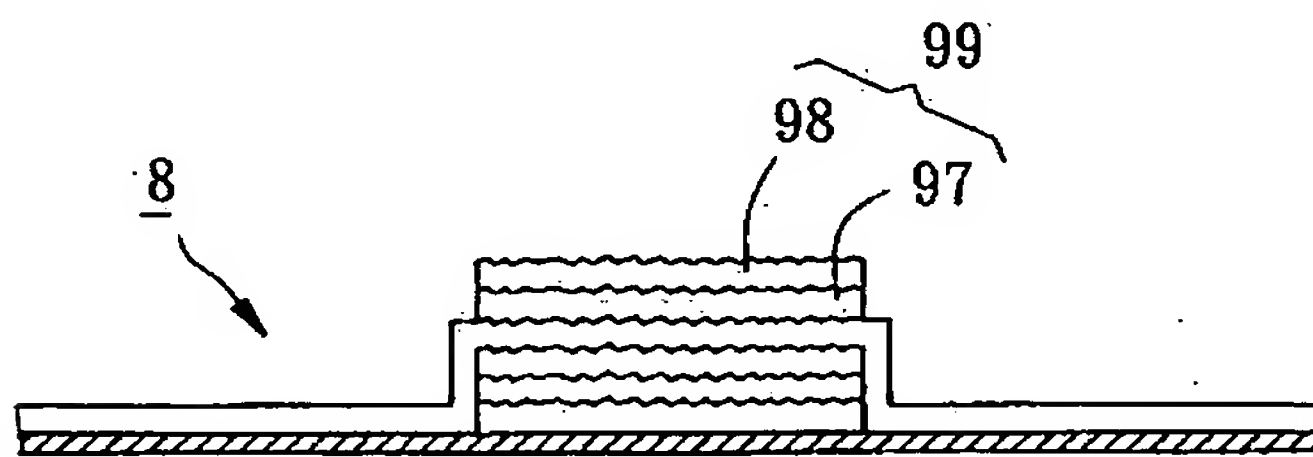
(A)



(B)



(C)



(D)

第九圖